

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroaki FUKUDA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SIMD TYPE PROCESSOR, METHOD AND APPARATUS FOR PARALLEL PROCESSING, DEVICES THAT USE THE SIMD TYPE PROCESSOR OR THE PARALLEL PROCESSING APPARATUS, METHOD AND APPARATUS FOR IMAGE PROCESSING, COMPUTER PRODUCT

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-087580	March 27, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number . . .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)  
☐ are submitted herewith  
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Gregory J. Maier

Registration No. 25,599  
C. Irvin McClelland

Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)



#301  
123-01

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 3月27日

出 願 番 号  
Application Number:

特願2000-087580

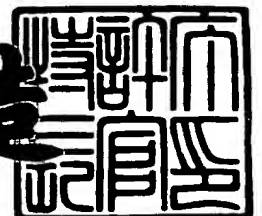
出 願 人  
Applicant (s):

株式会社リコー

2000年12月15日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3104396

【書類名】 特許願

【整理番号】 9906978

【提出日】 平成12年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/40

【発明の名称】 SIMD型プロセッサ、並列処理装置、画像処理装置、複写機、プリンター、ファクシミリ装置、スキャナー、並列処理方法、画像処理方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体

【請求項の数】 29

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 福田 拓章

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 波塚 義幸

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 高橋 祐二

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 野水 泰之

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 吉澤 史男

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 樗木 杉高



【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 刀根 剛治

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 石井 理恵

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 宮崎 秀人

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 宮崎 慎也

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 川本 啓之

【特許出願人】

【識別番号】 000006747

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100104190

【弁理士】

【氏名又は名称】 酒井 昭徳

【手数料の表示】

【予納台帳番号】 041759

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810808

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 SIMD型プロセッサ、並列処理装置、画像処理装置、複写機、プリンター、ファクシミリ装置、スキャナー、並列処理方法、画像処理方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体

【特許請求の範囲】

【請求項 1】 与えられたデータに対して演算処理を施す演算手段を複数用いて並列処理をおこなう並列処理手段と、

前記並列処理手段に対して演算処理されるべきデータを付与するデータ付与手段と、

前記演算手段のそれぞれに対して前記演算処理を施すための同一の命令を付与する命令付与手段と、

前記並列処理手段において並列処理されるべき他の並列処理がある旨の割込要求を入力する入力手段と、

前記入力手段により入力された割込要求にかかる並列処理である割込処理をおこなうべきか否かを判断する判断手段と、

前記判断手段により前記割込処理をおこなうべきと判断された場合に、前記並列処理手段によりおこなわれている並列処理を中断する中断手段と、

前記データ付与手段と前記命令付与手段とを制御して、前記中断手段により中断された並列処理に替えて、前記割込処理において演算処理されるべきデータを前記並列処理手段へ付与し、前記割込処理をおこなうために必要な同一の命令を前記演算手段のそれぞれに付与する制御手段と、

を備えたことを特徴とする SIMD型プロセッサ。

【請求項 2】 さらに、前記命令を格納する命令格納手段を備えたことを特徴とする請求項 1 に記載の SIMD型プロセッサ。

【請求項 3】 さらに、前記中断手段により中断された時点のデータおよび命令から構成される中断情報を格納する格納手段と、前記割込処理が終了したか否かを検知する検知手段と、前記検知手段により前記割込処理が終了したと検知された場合に、前記格納手段により格納された前記中断情報を元の場所へ送信す

る送信手段と、を備えたことを特徴とする請求項 1 または 2 に記載の SIMD 型プロセッサ。

【請求項 4】 さらに、プログラムカウンタ、および、前記演算手段において使用されるアキュムレータを備え、前記命令格納手段により格納された命令は前記プログラムカウンタにより指定され、前記演算手段は前記アキュムレータを用いて前記演算処理を施すことを特徴とする請求項 2 または 3 に記載の SIMD 型プロセッサ。

【請求項 5】 さらに、プログラムカウンタ、前記演算手段において使用されるアキュムレータおよびレジスタ、並びに、前記データ付与手段により付与されたデータを格納するデータレジスタを備え、前記中断情報は、前記中断手段により中断された時点のプログラムカウンタ値、アキュムレータおよびレジスタの内容、並びに、データレジスタに格納されたデータから構成されたことを特徴とする請求項 3 に記載の SIMD 型プロセッサ。

【請求項 6】 前記演算手段により施される演算処理に必要な各種パラメータデータを前記格納手段に格納したことを特徴とする請求項 3 に記載の SIMD 型プロセッサ。

【請求項 7】 与えられたデータに対して演算処理を施す演算手段を複数用いて並列処理をおこなう並列処理手段と、

前記並列処理手段に対して演算処理されるべきデータを付与するデータ付与手段と、

前記演算手段のそれぞれに対して前記演算処理を施すための同一の命令を付与する命令付与手段と、

前記並列処理手段において並列処理されるべき他の並列処理がある旨の割込要求を入力する入力手段と、

前記入力手段により入力された割込要求にかかる並列処理である割込処理をおこなうべきか否かを判断する判断手段と、

前記判断手段により前記割込処理をおこなうべきと判断された場合に、前記並列処理手段によりおこなわれている並列処理を中断する中断手段と、

前記データ付与手段と前記命令付与手段とを制御して、前記中断手段により中

断された並列処理に替えて、前記割込処理において演算処理されるべきデータを前記並列処理手段へ付与し、前記割込処理をおこなうために必要な同一の命令を前記演算手段のそれぞれに付与する制御手段と、

を備えたことを特徴とする並列処理装置。

【請求項 8】 さらに、前記命令を格納する命令格納手段を備えたことを特徴とする請求項 7 に記載の並列処理装置。

【請求項 9】 さらに、前記中断手段により中断された時点のデータおよび命令から構成される中断情報を格納する格納手段と、前記割込処理が終了したか否かを検知する検知手段と、前記検知手段により前記割込処理が終了したと検知された場合に、前記格納手段により格納された前記中断情報を元の場所へ送信する送信手段と、を備えたことを特徴とする請求項 7 または 8 に記載の並列処理装置。

【請求項 10】 さらに、プログラムカウンタ、および、前記演算手段において使用されるアキュムレータを備え、前記命令格納手段により格納された命令は前記プログラムカウンタにより指定され、前記演算手段は前記アキュムレータを用いて前記演算処理を施すことを特徴とする請求項 7 または 8 に記載の並列処理装置。

【請求項 11】 さらに、プログラムカウンタ、前記演算手段において使用されるアキュムレータおよびレジスタ、並びに、前記データ付与手段により付与されたデータを格納するデータレジスタを備え、前記中断情報は、前記中断手段により中断された時点のプログラムカウンタ値、アキュムレータおよびレジスタの内容、並びに、データレジスタに格納されたデータから構成されたことを特徴とする請求項 9 に記載の並列処理装置。

【請求項 12】 前記演算手段により施される演算処理に必要な各種パラメータデータを前記格納手段に格納したことを特徴とする請求項 9 に記載の並列処理装置。

【請求項 13】 画像データを読み取る画像読取手段および／または画像メモリーを制御して画像データの書込み／読出しをおこなう画像メモリー制御手段および／または画像データを転写紙等へ書き込む画像書込手段と、

画像データに対し加工編集等の画像処理を施す画像処理手段に接続し、

前記画像読取手段により読み取られた第1の画像データ、前記画像メモリー制御手段により読み出された第2の画像データおよび前記画像処理手段により画像処理が施された第3の画像データのうち、少なくとも前記第3の画像データを受信し、

前記第1の画像データ、前記第2の画像データおよび前記第3の画像データのうち、少なくとも前記第3の画像データを前記画像メモリー制御手段へおよび／または前記画像処理手段へおよび／または前記画像書込手段へ送信する画像データ制御手段を備え、

前記各手段のうち少なくとも前記画像処理手段に請求項1～6のいずれか一つに記載のSIMD型プロセッサもしくは請求項7～12のいずれか一つに記載の並列処理装置を備えたことを特徴とする画像処理装置。

【請求項14】 画像データを読み取る画像読取手段および／または画像データを転写紙等へ書き込む画像書込手段と、

画像データに対し加工編集等の画像処理を施す画像処理手段に接続し、

前記画像読取手段により読み取られた第1の画像データと前記画像処理手段により画像処理が施された第2の画像データのうち、少なくとも前記第2の画像データを受信し、

前記第1の画像データと第2の画像データのうち、少なくとも前記第2の画像データを画像メモリーに記憶するとともに、前記画像メモリーに記憶されている画像データを前記画像処理手段へおよび／または前記画像書込手段へ送信する画像メモリー制御手段を備え、

前記各手段のうち少なくとも前記画像処理手段に請求項1～6のいずれか一つに記載のSIMD型プロセッサもしくは請求項7～12のいずれか一つに記載の並列処理装置を備えたことを特徴とする画像処理装置。

【請求項15】 前記画像メモリー制御手段は、画像データ制御手段を介して、前記画像処理手段と、前記画像読取手段および／または前記画像書込手段に接続し、

前記画像データ制御手段は、前記画像メモリー制御手段と、前記画像処理手段

と、前記画像読取手段および／または前記画像書込手段との間の画像データの送受信をおこなうことを特徴とする請求項 1 4 に記載の画像処理装置。

【請求項 1 6】 画像データを読み取る画像読取手段および／または画像メモリーを制御して画像データの書込み／読出しをおこなう画像メモリー制御手段および／または画像データを転写紙等へ書き込む画像書込手段に接続し、

前記画像読取手段により読み取られた第 1 の画像データおよび／または前記画像メモリー制御手段により読み出された第 2 の画像データを受信し、

前記第 1 の画像データおよび／または第 2 の画像データに対し加工編集等の画像処理を施すとともに、前記画像処理が施された画像データを前記画像メモリー制御手段へおよび／または前記画像書込手段へ送信する画像処理手段を備え、

前記各手段のうち少なくとも前記画像処理手段に請求項 1 ～ 6 のいずれか一つに記載の SIMD 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたことを特徴とする画像処理装置。

【請求項 1 7】 前記画像処理手段は、画像データ制御手段を介して、前記画像読取手段および／または前記画像メモリー制御手段および／または前記画像書込手段に接続し、

前記画像データ制御手段は、前記画像処理手段と、前記画像読取手段および／または前記画像メモリー制御手段および／または前記画像書込手段との間の画像データの送受信をおこなうことを特徴とする請求項 1 6 に記載の画像処理装置。

【請求項 1 8】 前記画像メモリー制御手段および／または前記画像データ制御手段に接続し、ファクシミリ画像の送受信をおこなうファクシミリ制御手段を備えたことを特徴とする請求項 1 3 ～ 1 7 のいずれか一つに記載の画像処理装置。

【請求項 1 9】 前記画像読取手段および／または前記画像データ制御手段および／または前記画像メモリー制御手段および／または前記画像処理手段および／または前記画像書込手段および／または前記ファクシミリ制御手段をそれぞれ独立のユニットとして構成したことを特徴とする請求項 1 3 ～ 1 8 のいずれか一つに記載の画像処理装置。

【請求項 2 0】 請求項 1 ～ 6 のいずれか一つに記載の SIMD 型プロセッ

サーもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたことを特徴とする複写機。

【請求項 2 1】 請求項 1 ～ 6 のいずれか一つに記載の S I M D 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたことを特徴とするプリンター。

【請求項 2 2】 請求項 1 ～ 6 のいずれか一つに記載の S I M D 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたことを特徴とするファクシミリ装置。

【請求項 2 3】 請求項 1 ～ 6 のいずれか一つに記載の S I M D 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたことを特徴とするスキャナー。

【請求項 2 4】 並列処理が施されるべきデータを付与するデータ付与工程と、

並列処理を施すために必要な命令を付与する命令付与工程と、

前記データ付与工程により付与されたデータに対して前記命令付与工程により付与された命令に基づいて並列処理を施す並列処理工程と、

前記並列処理工程において並列処理が施されている際に、並列処理されるべき他の並列処理がある旨の割込要求を入力する入力工程と、

前記入力工程により入力された割込要求にかかる並列処理である割込処理を施すべきか否かを判断する判断工程と、

前記判断工程により前記割込処理を施すべきと判断された場合に、前記並列処理工程により施されている並列処理を中断する中断工程と、

前記中断工程により中断された並列処理に替えて、前記割込処理において並列処理が施されるべきデータと前記割込処理を施すために必要な命令を付与する置換工程と、

を含んだことを特徴とする並列処理方法。

【請求項 2 5】 さらに、前記中断工程により中断された時点のデータおよび命令を退避する退避工程と、

前記割込処理が終了したか否かを検知する検知工程と、



前記検知工程により前記割込処理が終了したと検知された場合に、前記退避工程により退避されたデータおよび命令を前記中断工程により中断された時点の状態に復帰する復帰工程と、

を含んだことを特徴とする請求項 2 4 に記載の並列処理方法。

【請求項 2 6】 画像データの読取処理、蓄積処理、画像（加工編集）処理、書込処理、送受信処理等、画像データに対する異なる処理をするための複数種の処理ユニットのうち、いずれかの処理ユニットから画像データを受信する画像データ受信工程と、

前記画像データ受信工程により受信した画像データに対する処理の内容に関する情報を含む画像データ制御情報を取得する画像データ制御情報取得工程と、

前記画像データ制御情報取得工程により取得した画像データ制御情報に基づいて、前記画像データ受信工程により受信した画像データを送信する送信先処理ユニットを決定する送信先処理ユニット決定工程と、

前記送信先処理ユニット決定工程により決定された送信先処理ユニットへ前記画像データを送信する送信工程と、

を含み、

さらに、前記複数種の処理ユニットのうち、少なくとも、一つの処理ユニットにおける画像データに対する処理について前記請求項 2 4 または 2 5 に記載の並列処理方法を含んだことを特徴とする画像処理方法。

【請求項 2 7】 さらに、前記画像データ制御情報を入力する制御情報入力工程を含み、

前記画像データ制御情報取得工程は、前記制御情報入力工程により入力された画像データ制御情報を取得することを特徴とする請求項 2 6 に記載の画像処理方法。

【請求項 2 8】 画像データに対する情報劣化を補正する補正処理、もしくは、前記補正処理により補正された画像データまたは画像データに対して作像特性に対応した画質処理に前記画像処理方法を使用したことを特徴とする請求項 2 6 または 2 7 に記載の画像処理方法。

【請求項 2 9】 前記請求項 2 4 ～ 2 8 のいずれか一つに記載された方法を

コンピュータに実行させるプログラムを記録したことを特徴とするコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、SIMD型プロセッサ、並列処理装置、画像処理装置、複写機、プリンター、ファクシミリ装置、スキャナー、並列処理方法、画像処理方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体に関し、特に、優先順位の高い並列処理を優先的にこなうSIMD型プロセッサ、並列処理装置、画像処理装置、複写機、プリンター、ファクシミリ装置、スキャナー、並列処理方法、画像処理方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体に関する。

【0002】

【従来の技術】

従来、コンピュータにおける各種処理はプロセッサにおいておこなわれ、プロセッサでは、実行すべき命令をメモリーから取り込み（フェッチし）、命令を解読し（デコードし）、解読された命令を実行するという手順、すなわち命令セットを多数回繰り返すものであった。この命令セットを種々組み合わせることによりプログラムにしたがった所望の処理をおこなうことが可能となる。

【0003】

すなわち、従来のプロセッサは、単一のデータの流処理する単一の命令の流れを作りだし、単純な命令に基づく処理サイクルを多数回繰り返し、その演算内容を組み合わせることにより、複雑な処理を実行することを可能としたものである。このような処理方式はノイマン型として知られている。

【0004】

図32は、従来のプロセッサにおける演算処理の中心となる部分の一例を示した概略ブロック図である。プロセッサ3200は、ALU（Arithmetic Logic Unit：演算論理ユニット）3201とレジスター32

02からなる実行ユニット3203と、実行ユニット3203に処理命令を与え、また、実行ユニット3203等を制御するコントローラ3204とを含む。プロセッサ3200はプロセッサ外部から処理対象となるデータを入力し、また、処理されたデータを出力する。

#### 【0005】

ノイマン型の処理をおこなうプロセッサは、メモリーに格納されたデータや、過去の計算結果を反映させてつぎの処理をおこなう逐次型の処理をおこなう場合に有効な処理方式となっている。ここで、ノイマン型の処理をおこなうプロセッサを適用した例として各種の画像処理をおこなうデジタル複合機について説明する。

#### 【0006】

図33は、従来技術にかかるデジタル複合機のハードウェア構成の一例を示したブロック図である。図33に示したように、デジタル複合機は、読み取りユニット3301、画像処理ユニット3302、ビデオ制御部3303、書き込みユニット3304の一連の各構成部、さらにメモリー制御ユニット3305およびメモリー・モジュール3306によって形成される複写機を構成する部分（複写機部分）と、マザーボード3311を介して、追加的にファクシミリ制御ユニット3312、プリンター制御ユニット3313、スキャナー制御ユニット3314等のユニットが接続されることによって、デジタル複合機としての各機能を実現している。

#### 【0007】

したがって、複写機としての機能を実現する複写機部分は、読み取りユニット3301、画像処理ユニット3302、ビデオ制御部3303、書き込みユニット3304の各構成部については、システム・コントローラ3307、RAM3308、ROM3309によって各構成部の一連の動作が制御されているのに対し、ファクシミリ制御ユニット3312、プリンター制御ユニット3313、スキャナー制御ユニット3314等の各ユニットは、複写機における確立された一連の動作の一部を利用することにより各ユニットの機能を実現するものであった。

## 【 0 0 0 8 】

換言すると、上記一連の構成部による一つのシステムとして確立している複写機部分にファクシミリ制御ユニット 3 3 1 2、プリンター制御ユニット 3 3 1 3、スキャナー制御ユニット 3 3 1 4 をアドオンすることにより、デジタル複合機の機能を実現するものであった。これは、上記一連の構成部を A S I C ( A p p l i c a t i o n   S p e c i f i c   I n t e g r a t e d   C i r c u i t ) 等のハードウェアにより構成することにより、処理速度を重視する（処理の高速化を図る）という背景によるものであった。

## 【 0 0 0 9 】

画像処理についていうと、画像処理ユニット 3 3 0 2、ファクシミリ制御ユニット 3 3 1 2、プリンター制御ユニット 3 3 1 3 等それぞれのユニットで処理がおこなわれるが、装置構成によっては、たとえばファクシミリ制御ユニット 3 3 1 2 から入力した画像データを画像処理ユニット 3 3 0 2 に転送して、画像処理ユニット 3 3 0 2 で処理を分担する場合もある。

## 【 0 0 1 0 】

このとき、逐次型のプロセッサにおいては、割込要求があるか否かを監視して優先順位の高い処理を優先して処理することが可能である。これは、A L U が一つであるため、つぎにどの命令をおこなうべきかといった判断が常に必要であるからである。したがって、従来の逐次型のプロセッサを適用することにより、デジタル複合機で複数の処理要求が競合した場合であっても、効率的に画像処理をおこなうことが可能となっている。

## 【 0 0 1 1 】

このようなデジタル複合機の例としては、たとえば、特開平 6 - 1 1 0 7 0 4 号公報「複合型情報処理装置の割込制御方式」や、特開平 9 - 5 5 8 2 1 号公報「画像処理装置」が知られており、利用効率や業務上の効率が図られている。

## 【 0 0 1 2 】

一方、ノイマン型の処理方式と異なり、複数のプロセッサエレメント（P E ）に同一の命令を与え、異なったデータの流れを処理する処理方式も考えられている。このような、一つの命令サイクルで一つのベクトルを処理する処理方式は

SIMD (Single Instruction Stream Multiple Data Stream) 型として分類され、いわゆる並列計算に有効な処理方式である。このSIMD型の処理を効率的に実行するプロセッサをSIMD型プロセッサと称することとする。

## 【0013】

図34は、SIMD型プロセッサの演算処理の中心となる部分の一例を示した概略ブロック図である。SIMD型プロセッサ3400は、ALU3401とレジスタ3402からなる実行ユニット3403を複数有し、複数の実行ユニット3403に同一の処理命令を与え、また、実行ユニット3403等を制御するコントローラ3404とを含む。SIMD型プロセッサ3400は外部から処理対象となるひとまとまりのデータを入力し、処理されたひとまとまりのデータを出力する。

## 【0014】

SIMD型プロセッサは、たとえば、多数の画素から構成される画像データなど、同等の多数のデータ（ベクトルデータ）を一括して処理する際に計算時間が短縮されるなどの利点がある。たとえば、近年では、デジタルカメラの高画素化など、同等の処理を施すべき画素データが増大する傾向にある。一般的に、SIMD型プロセッサは、同一の処理を施す場合においては画素数が多くなればなるほどノイマン型のプロセッサを使用した場合と比較して処理が高速となるという利点があり、デジタルカメラの画像データの処理等に適する。

## 【0015】

したがって、図33のデジタル複合機でいえば、プリンター制御ユニット3313に送られてきたデータが多数画素のデータである場合には、プリンター制御ユニット3313にSIMD型プロセッサを配して、高速に画像処理をおこなうことが可能である。

## 【0016】

## 【発明が解決しようとする課題】

しかしながら、従来のSIMD型プロセッサおよびデジタル複合機は以下の問題点があった。まず、従来のデジタル複合機においては、上述のとおり複写機

部分が一つのシステムとして確立していることから、ファクシミリ制御ユニット 3 3 1 2、プリンター制御ユニット 3 3 1 3、スキャナー制御ユニット 3 3 1 4 等、上記複写機部分に接続されたユニットについては、各機能を実現するために複写機部分とは別個にそれぞれ独立してシステムを構築しなければならないという問題点があった。

## 【 0 0 1 7 】

したがって、各制御ユニットでは、重複した装置構成を有し無駄があるという問題点があった。たとえば、ファクシミリ制御ユニット 3 3 1 2 では、ある程度画像処理をおこない、その加工されたデータをビデオ制御部 3 3 0 3 を介して書き込みユニット 3 3 0 4 で記録紙に書き込むことがあった。このような画像処理のうち、いくつかの画像処理は画像処理ユニット 3 3 0 2 でもおこなわれるものであり、同等の処理をおこなう重複した装置構成を有するという無駄が発生していた。

## 【 0 0 1 8 】

また、このような重複した装置構成は画像処理に関してばかりでなく、たとえば、各ユニットの機能を実現するために必要なメモリー・モジュールにおいても存在していた。すなわち、各ユニットが複写機部分の備えているメモリー・モジュール 3 3 0 6 を有効に活用せず、各ユニットごとに重複したメモリー・モジュールを備え、装置全体としてのサイズの増大化、コストの増大化を招いてしまうという問題点があった。

## 【 0 0 1 9 】

さらに、上記複写機部分が一つのシステムとして確立していることから、周辺ユニットの性能向上にともなう機能向上が効率よく図れないという問題点があった。したがって、読み取りユニット 3 3 0 1 や書き込みユニット 3 3 0 4 のみを変更したい場合、より具体的には、4 0 0 d p i であった読み取りユニット 3 3 0 1 あるいは書き込みユニット 3 3 0 4 を 6 0 0 d p i のものに変更したい場合に、単にユニットの交換のみの作業では装置全体の機能向上を容易におこなうことができないという問題点があった。

## 【 0 0 2 0 】

すなわち、上記複写機部分全体としてすでに400dpiによって読み取り／書き込みされるように一連のシステムが確立されてしまっているため、上記のようなユニットを変換する場合は、中間処理のためのしきい値等を変更する必要がある。また、他のユニットについても、600dpiによる読み取り／書き込みができるようにその設定内容を変更しなければならない場合がある。

#### 【0021】

したがって、ASIC等のハードウェアで構成されている場合は、ハードウェア（カスタム化したICやLSI等）そのものを交換しなければならない。それゆえに、周辺ユニットの性能の向上にともない、周辺ユニットを交換するだけでは、装置全体の機能を容易に向上させることができないのである。

#### 【0022】

以上のように、従来のデジタル複合機にあっては、モジュール等の共有化、ユニットごとの交換による機能向上、複数機能の分割等、システムにおける各資源の有効活用を図るという点で最適な制御構成が構築されていないという問題点があった。

#### 【0023】

この問題を解決すべくモジュール等の共有化、機能ユニットの独立化が図れたとして、画像処理を主としておこなう画像処理ユニットを構築する場合を考える。画像処理ユニットは、他の機能ユニットの将来的なバージョンアップに対応するため（取り扱う画素の増大に対応するため）、SIMD型プロセッサを使用することが有利となる。すなわち、他の画素の処理を待つことなく各画素に同一の処理をおこなうSIMD型プロセッサを使用することが有利であると考えられる。

#### 【0024】

ここで、SIMD型プロセッサでは処理が早くおこなえるとの考えから、プログラムが終了するまで演算処理が連続しておこなわれる。これは、ノイマン型のプロセッサでは、100画素のデータを1画素ずつ逐次的に処理するため、1画素に1単位の時間がかかるとした場合、100単位の時間が必要であるが、SIMD型プロセッサでは、PEを100個設けたとすると1単位の時間で処

理が終了するので演算処理を連続しておこなっても不都合はないと考えられたからである。

#### 【 0 0 2 5 】

しかしながら、プログラムが終了するまで演算処理を続行すると、以下の問題が発生する。すなわち、ファクシミリ受信にかかる画像処理をおこなっている際に、複写処理が必要となる場合もあるが、画像処理ユニットに S I M D 型プロセッサを用いる場合は、ファクシミリ受信にかかる画像処理が終わるまで複写処理ができないという問題があった。換言すると、多数の画素からなる画像データを高速に処理させるために S I M D 型プロセッサを用いたいという要請があっても、現実には、複数処理が競合する場合に、所定の処理が終了するまでつぎの処理がおこなえないという問題点があった。すなわち、効率的な並列処理がおこなえないという問題点があった。

#### 【 0 0 2 6 】

この発明は、上述した従来技術による問題点を解消するため、並列処理を効率的におこなうことが可能な S I M D 型プロセッサ、並列処理装置、複写機、プリンター、ファクシミリ装置、スキャナー、並列処理方法、およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体を提供することを目的とする。

#### 【 0 0 2 7 】

また、多機能を実現する際のシステムにおける各資源の有効活用を図りつつ、システム全体として最適な画像処理をおこなうことができる画像処理装置、画像処理方法、およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体を提供することを目的とする。

#### 【 0 0 2 8 】

##### 【課題を解決するための手段】

上述した課題を解決し、目的を達成するため、請求項 1 の発明にかかる S I M D 型プロセッサは、与えられたデータに対して演算処理を施す演算手段を複数用いて並列処理をおこなう並列処理手段と、前記並列処理手段に対して演算処理されるべきデータを付与するデータ付与手段と、前記演算手段のそれぞれに対し



て前記演算処理を施すための同一の命令を付与する命令付与手段と、前記並列処理手段において並列処理されるべき他の並列処理がある旨の割込要求を入力する入力手段と、前記入力手段により入力された割込要求にかかる並列処理である割込処理をおこなうべきか否かを判断する判断手段と、前記判断手段により前記割込処理をおこなうべきと判断された場合に、前記並列処理手段によりおこなわれている並列処理を中断する中断手段と、前記データ付与手段と前記命令付与手段とを制御して、前記中断手段により中断された並列処理に替えて、前記割込処理において演算処理されるべきデータを前記並列処理手段へ付与し、前記割込処理をおこなうために必要な同一の命令を前記演算手段のそれぞれに付与する制御手段と、を備えたことを特徴とする。

## 【 0 0 2 9 】

この請求項 1 の発明によれば、処理を即座に中断して割込処理を実行することができる。

## 【 0 0 3 0 】

また、請求項 2 の発明にかかる SIMD 型プロセッサは、請求項 1 に記載の発明において、さらに、前記命令を格納する命令格納手段を備えたことを特徴とする。

## 【 0 0 3 1 】

この請求項 2 の発明によれば、割込処理を含め並列処理に必要な命令をプロセッサ外部からロードすることなく、割込処理を含め並列処理を即座に実行することができる。

## 【 0 0 3 2 】

また、請求項 3 の発明にかかる SIMD 型プロセッサは、請求項 1 または 2 に記載の発明において、さらに、前記中断手段により中断された時点のデータおよび命令から構成される中断情報を格納する格納手段と、前記割込処理が終了したか否かを検知する検知手段と、前記検知手段により前記割込処理が終了したと検知された場合に、前記格納手段により格納された前記中断情報を元の場所へ送信する送信手段と、を備えたことを特徴とする。

## 【 0 0 3 3 】

この請求項 3 の発明によれば、中断した処理の状態をプロセッサ内部に即座に格納し、中断した処理の状態に即座に復帰できる。

【 0 0 3 4 】

また、請求項 4 の発明にかかる SIMD 型プロセッサは、請求項 2 または 3 に記載の発明において、さらに、プログラムカウンタ、および、前記演算手段において使用されるアキュムレータを備え、前記命令格納手段により格納された命令が前記プログラムカウンタにより指定され、前記演算手段が前記アキュムレータを用いて前記演算処理を施すことを特徴とする。

【 0 0 3 5 】

この請求項 4 の発明によれば、いわゆる 1 アドレス方式の処理が可能となり、命令の長さを短くすることができる。

【 0 0 3 6 】

また、請求項 5 の発明にかかる SIMD 型プロセッサは、請求項 3 に記載の発明において、さらに、プログラムカウンタ、前記演算手段において使用されるアキュムレータおよびレジスタ、並びに、前記データ付与手段により付与されたデータを格納するデータレジスタを備え、前記中断情報が、前記中断手段により中断された時点のプログラムカウンタ値、アキュムレータおよびレジスタの内容、並びに、データレジスタに格納されたデータから構成されたことを特徴とする。

【 0 0 3 7 】

この請求項 5 の発明によれば、中断した時点に並列処理されていた処理命令などを改めてデコードすることなく、処理を中断した時点のプロセッサの状態に復元することができる。

【 0 0 3 8 】

また、請求項 6 の発明にかかる SIMD 型プロセッサは、請求項 3 に記載の発明において、前記演算手段により施される演算処理に必要な各種パラメータデータを前記格納手段に格納したことを特徴とする。

【 0 0 3 9 】

この請求項 6 の発明によれば、プロセッサ構成を簡素化することができる。

## 【 0 0 4 0 】

また、請求項 7 の発明にかかる並列処理装置は、与えられたデータに対して演算処理を施す演算手段を複数用いて並列処理をおこなう並列処理手段と、前記並列処理手段に対して演算処理されるべきデータを付与するデータ付与手段と、前記演算手段のそれぞれに対して前記演算処理を施すための同一の命令を付与する命令付与手段と、前記並列処理手段において並列処理されるべき他の並列処理がある旨の割込要求を入力する入力手段と、前記入力手段により入力された割込要求にかかる並列処理である割込処理をおこなうべきか否かを判断する判断手段と、前記判断手段により前記割込処理をおこなうべきと判断された場合に、前記並列処理手段によりおこなわれている並列処理を中断する中断手段と、前記データ付与手段と前記命令付与手段とを制御して、前記中断手段により中断された並列処理に替えて、前記割込処理において演算処理されるべきデータを前記並列処理手段へ付与し、前記割込処理をおこなうために必要な同一の命令を前記演算手段のそれぞれに付与する制御手段と、を備えたことを特徴とする。

## 【 0 0 4 1 】

この請求項 7 の発明によれば、処理を即座に中断して割込処理を実行することができる。これにより、並列処理を効率的におこなうことができる。

## 【 0 0 4 2 】

また、請求項 8 の発明にかかる並列処理装置は、請求項 7 に記載の発明において、さらに、前記命令を格納する命令格納手段を備えたことを特徴とする。

## 【 0 0 4 3 】

この請求項 8 の発明によれば、割込処理を含め並列処理に必要な命令を内蔵して、割込処理を含め並列処理を実行することができる。

## 【 0 0 4 4 】

また、請求項 9 の発明にかかる並列処理装置は、請求項 7 または 8 に記載の発明において、さらに、前記中断手段により中断された時点のデータおよび命令から構成される中断情報を格納する格納手段と、前記割込処理が終了したか否かを検知する検知手段と、前記検知手段により前記割込処理が終了したと検知された場合に、前記格納手段により格納された前記中断情報を元の場所へ送信する送信

手段と、を備えたことを特徴とする。

【 0 0 4 5 】

この請求項 9 の発明によれば、中断した処理の状態を計算機内部に格納し、中断した処理の状態に復帰できる。

【 0 0 4 6 】

また、請求項 1 0 の発明にかかる並列処理装置は、請求項 7 または 8 に記載の発明において、さらに、プログラムカウンタ、および、前記演算手段において使用されるアキュムレータを備え、前記命令格納手段により格納された命令が前記プログラムカウンタにより指定され、前記演算手段が前記アキュムレータを用いて前記演算処理を施すことを特徴とする。

【 0 0 4 7 】

この請求項 1 0 の発明によれば、いわゆる 1 アドレス方式の処理が可能となり、命令の長さを短くすることができる。

【 0 0 4 8 】

また、請求項 1 1 の発明にかかる並列処理装置は、請求項 9 に記載の発明において、さらに、プログラムカウンタ、前記演算手段において使用されるアキュムレータおよびレジスタ、並びに、前記データ付与手段により付与されたデータを格納するデータレジスタを備え、前記中断情報が、前記中断手段により中断された時点のプログラムカウンタ値、アキュムレータおよびレジスタの内容、並びに、データレジスタに格納されたデータから構成されたことを特徴とする。

【 0 0 4 9 】

この請求項 1 1 の発明によれば、中断した時点に並列処理されていた処理命令などを改めてデコードすることなく、処理を中断した時点のプロセッサの状態に復元することができる。

【 0 0 5 0 】

また、請求項 1 2 の発明にかかる並列処理装置は、請求項 9 に記載の発明において、前記演算手段により施される演算処理に必要な各種パラメータデータを前記格納手段に格納したことを特徴とする。

## 【 0 0 5 1 】

この請求項 1 2 の発明によれば、バス管理を簡略化することができる。

## 【 0 0 5 2 】

また、請求項 1 3 の発明にかかる画像処理装置は、画像データを読み取る画像読取手段および／または画像メモリーを制御して画像データの書込み／読出しをおこなう画像メモリー制御手段および／または画像データを転写紙等へ書き込む画像書込手段と、画像データに対し加工編集等の画像処理を施す画像処理手段に接続し、前記画像読取手段により読み取られた第 1 の画像データ、前記画像メモリー制御手段により読み出された第 2 の画像データおよび前記画像処理手段により画像処理が施された第 3 の画像データのうち、少なくとも前記第 3 の画像データを受信し、前記第 1 の画像データ、前記第 2 の画像データおよび前記第 3 の画像データのうち、少なくとも前記第 3 の画像データを前記画像メモリー制御手段へおよび／または前記画像処理手段へおよび／または前記画像書込手段へ送信する画像データ制御手段を備え、前記各手段のうち少なくとも前記画像処理手段に請求項 1 ～ 6 のいずれか一つに記載の SIMD 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたことを特徴とする。

## 【 0 0 5 3 】

この請求項 1 3 の発明によれば、割込処理可能な SIMD 型プロセッサもしくは並列処理装置を用いて、画像データの処理パフォーマンスの最適化を図ることができる。

## 【 0 0 5 4 】

また、請求項 1 4 の発明にかかる画像処理装置は、画像データを読み取る画像読取手段および／または画像データを転写紙等へ書き込む画像書込手段と、画像データに対し加工編集等の画像処理を施す画像処理手段に接続し、前記画像読取手段により読み取られた第 1 の画像データと前記画像処理手段により画像処理が施された第 2 の画像データのうち、少なくとも前記第 2 の画像データを受信し、前記第 1 の画像データと第 2 の画像データのうち、少なくとも前記第 2 の画像データを画像メモリーに記憶するとともに、前記画像メモリーに記憶されている画像データを前記画像処理手段へおよび／または前記画像書込手段へ送信する画像

メモリー制御手段を備え、前記各手段のうち少なくとも前記画像処理手段に請求項 1 ～ 6 のいずれか一つに記載の SIMD 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたことを特徴とする。

## 【 0 0 5 5 】

この請求項 1 4 の発明によれば、画像メモリーを有効に活用することができるとともに、割込処理可能な SIMD 型プロセッサもしくは並列処理装置を介して蓄積画像の処理の最適化を図ることができる。

## 【 0 0 5 6 】

また、請求項 1 5 の発明にかかる画像処理装置は、請求項 1 4 に記載の発明において、前記画像メモリー制御手段が、画像データ制御手段を介して、前記画像処理手段と、前記画像読取手段および／または前記画像書込手段に接続し、前記画像データ制御手段が、前記画像メモリー制御手段と、前記画像処理手段と、前記画像読取手段および／または前記画像書込手段との間の画像データの送受信をおこなうことを特徴とする。

## 【 0 0 5 7 】

この請求項 1 5 の発明によれば、画像メモリー制御手段の入出力デバイスへの適応化を図ることができる。

## 【 0 0 5 8 】

また、請求項 1 6 の発明にかかる画像処理装置は、画像データを読み取る画像読取手段および／または画像メモリーを制御して画像データの書込み／読出しをおこなう画像メモリー制御手段および／または画像データを転写紙等へ書き込む画像書込手段に接続し、前記画像読取手段により読み取られた第 1 の画像データおよび／または前記画像メモリー制御手段により読み出された第 2 の画像データを受信し、前記第 1 の画像データおよび／または第 2 の画像データに対し加工編集等の画像処理を施すとともに、前記画像処理が施された画像データを前記画像メモリー制御手段へおよび／または前記画像書込手段へ送信する画像処理手段を備え、前記各手段のうち少なくとも前記画像処理手段に請求項 1 ～ 6 のいずれか一つに記載の SIMD 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたことを特徴とする。

## 【 0 0 5 9 】

この請求項 1 6 の発明によれば、割込可能な SIMD プロセッサーもしくは並列処理装置を用いて画像処理の最適化を図ることができる。

## 【 0 0 6 0 】

また、請求項 1 7 の発明にかかる画像処理装置は、請求項 1 6 に記載の画像処理装置において、前記画像処理手段が、画像データ制御手段を介して、前記画像読取手段および／または前記画像メモリー制御手段および／または前記画像書込手段に接続し、前記画像データ制御手段が、前記画像処理手段と、前記画像読取手段および／または前記画像メモリー制御手段および／または前記画像書込手段との間の画像データの送受信をおこなうことを特徴とする。

## 【 0 0 6 1 】

この請求項 1 7 の発明によれば、画像処理の入出力デバイスへの適応化を制御することができる。

## 【 0 0 6 2 】

また、請求項 1 8 の発明にかかる画像処理装置は、請求項 1 3 ～ 1 7 のいずれか一つに記載の発明において、前記画像メモリー制御手段および／または前記画像データ制御手段に接続し、ファクシミリ画像の送受信をおこなうファクシミリ制御手段を備えたことを特徴とする。

## 【 0 0 6 3 】

この請求項 1 8 の発明によれば、ファクシミリ画像の送受信処理において、画像メモリーを有効活用することができ、入出力される画像データを割込可能な SIMD 型プロセッサーもしくは並列処理装置を用いて画像処理することができる。

## 【 0 0 6 4 】

また、請求項 1 9 の発明にかかる画像処理装置は、請求項 1 3 ～ 1 8 のいずれか一つに記載の発明において、前記画像読取手段および／または前記画像データ制御手段および／または前記画像メモリー制御手段および／または前記画像処理手段および／または前記画像書込手段および／または前記ファクシミリ制御手段をそれぞれ独立のユニットとして構成したことを特徴とする。

【 0 0 6 5 】

すなわち、請求項 1 9 の発明によれば、機器の作り分けを容易におこなうことができ、低コストで多機能なシステムを構築できる。

【 0 0 6 6 】

また、請求項 2 0 の発明にかかる複写機は、請求項 1 ～ 6 のいずれか一つに記載の SIMD 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたことを特徴とする。

【 0 0 6 7 】

すなわち、請求項 2 0 の発明によれば、画像データを並列処理する複写機に割込処理を実行させることができる。

【 0 0 6 8 】

また、請求項 2 1 の発明にかかるプリンターは、請求項 1 ～ 6 のいずれか一つに記載の SIMD 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたことを特徴とする。

【 0 0 6 9 】

すなわち、請求項 2 1 の発明によれば、画像データを並列処理するプリンターに割込処理を実行させることができる。

【 0 0 7 0 】

また、請求項 2 2 の発明にかかるファクシミリ装置は、請求項 1 ～ 6 のいずれか一つに記載の SIMD 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたことを特徴とする。

【 0 0 7 1 】

すなわち、請求項 2 2 の発明によれば、画像データを並列処理するファクシミリ装置に割込処理を実行させることができる。

【 0 0 7 2 】

また、請求項 2 3 の発明にかかるスキャナーは、請求項 1 ～ 6 のいずれか一つに記載の SIMD 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたことを特徴とする。

【 0 0 7 3 】



すなわち、請求項 2 3 の発明によれば、画像データを並列処理するスキャナーに割込処理を実行させることができる。

【 0 0 7 4 】

また、請求項 2 4 の発明にかかる並列処理方法は、並列処理が施されるべきデータを付与するデータ付与工程と、並列処理を施すために必要な命令を付与する命令付与工程と、前記データ付与工程により付与されたデータに対して前記命令付与工程により付与された命令に基づいて並列処理を施す並列処理工程と、前記並列処理工程において並列処理が施されている際に、並列処理されるべき他の並列処理がある旨の割込要求を入力する入力工程と、前記入力工程により入力された割込要求にかかる並列処理である割込処理を施すべきか否かを判断する判断工程と、前記判断工程により前記割込処理を施すべきと判断された場合に、前記並列処理工程により施されている並列処理を中断する中断工程と、前記中断工程により中断された並列処理に替えて、前記割込処理において並列処理が施されるべきデータと前記割込処理を施すために必要な命令を付与する置換工程と、を含んだことを特徴とする。

【 0 0 7 5 】

この請求項 2 4 の発明によれば、処理を即座に中断して割込処理を実行することができる。

【 0 0 7 6 】

また、請求項 2 5 の発明にかかる並列処理方法は、請求項 2 4 に記載の発明において、さらに、前記中断工程により中断された時点のデータおよび命令を退避する退避工程と、前記割込処理が終了したか否かを検知する検知工程と、前記検知工程により前記割込処理が終了したと検知された場合に、前記退避工程により退避されたデータおよび命令を前記中断工程により中断された時点の状態に復帰する復帰工程と、を含んだことを特徴とする。

【 0 0 7 7 】

この請求項 2 5 の発明によれば、中断した並列処理を退避・復帰することができる。

【 0 0 7 8 】

また、請求項26の発明にかかる画像処理方法は、画像データの読取処理、蓄積処理、画像（加工編集）処理、書込処理、送受信処理等、画像データに対する異なる処理をするための複数種の処理ユニットのうち、いずれかの処理ユニットから画像データを受信する画像データ受信工程と、前記画像データ受信工程により受信した画像データに対する処理の内容に関する情報を含む画像データ制御情報を取得する画像データ制御情報取得工程と、前記画像データ制御情報取得工程により取得した画像データ制御情報に基づいて、前記画像データ受信工程により受信した画像データを送信する送信先処理ユニットを決定する送信先処理ユニット決定工程と、前記送信先処理ユニット決定工程により決定された送信先処理ユニットへ前記画像データを送信する送信工程と、を含み、さらに、前記複数種の処理ユニットのうち、少なくとも、一つの処理ユニットにおける画像データに対する処理について前記請求項24または25に記載の並列処理方法を含んだことを特徴とする。

## 【0079】

この請求項26の発明によれば、実行中の並列処理に替えて割込処理をおこなひ、画像データの処理パフォーマンスの最適化を図ることができる。

## 【0080】

また、請求項27の発明にかかる画像処理方法は、請求項26に記載の発明において、さらに、前記画像データ制御情報を入力する制御情報入力工程を含み、前記画像データ制御情報取得工程では、前記制御情報入力工程により入力された画像データ制御情報を取得することを特徴とする。

## 【0081】

この請求項27の発明によれば、入力された画像データ制御情報により画像データの処理パフォーマンスの最適化を図ることができる。

## 【0082】

また、請求項28の発明にかかる画像処理方法は、請求項26または27に記載の発明において、画像データに対する情報劣化を補正する補正処理、もしくは、前記補正処理により補正された画像データまたは画像データに対して作像特性に対応した画質処理に前記画像処理方法を使用したことを特徴とする。

## 【 0 0 8 3 】

この請求項 2 8 の発明によれば、画像データの画像処理の最適化を図ることができる。

## 【 0 0 8 4 】

また、請求項 2 9 に記載の発明にかかる記録媒体は、前記請求項 2 4 ～ 2 8 のいずれか一つに記載された方法をコンピュータに実行させるプログラムを記録したことで、そのプログラムを機械読み取り可能となり、これによって、請求項 2 4 ～ 2 8 の動作をコンピュータによって実現することができる。

## 【 0 0 8 5 】

## 【発明の実施の形態】

以下に添付図面を参照して、この発明にかかる SIMD 型プロセッサ、並列処理装置、画像処理装置、複写機、プリンター、ファクシミリ装置、スキャナー、並列処理方法、画像処理方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体詳細に説明する。

## 【 0 0 8 6 】

## 〔実施の形態 1〕

まず、本実施の形態にかかる SIMD 型プロセッサについて説明する。図 1 は、この発明の本実施の形態にかかる SIMD 型プロセッサの構成の一例を示した図である。SIMD 型プロセッサ 1 0 0 は、与えられたデータに対して並列処理をおこなう SIMD 型演算部 1 0 1 と、SIMD 型演算部 1 0 1 に対して処理すべきデータと命令を付与するグローバルプロセッサ 1 0 2 と、並列処理に必要な命令を格納するプログラム RAM 1 0 3 と、SIMD 型演算部 1 0 1 における命令実行に必要となるパラメータデータを格納し、また、SIMD 型演算部 1 0 1 のデータや状態およびグローバルプロセッサ 1 0 2 内のデータや状態を格納するデータ RAM 1 0 4 と、から構成される。

## 【 0 0 8 7 】

SIMD 型演算部 1 0 1 は、与えられたデータに演算処理を施す複数の ALU (Arithmetic Logic Unit : 演算論理ユニット) 1 0 5 と、ALU 1 0 5 で演算処理を施す際に処理対象となるデータを格納するテンポラ

リー・レジスターFと条件レジスターTとからなる一つ一つのALU105に対応したレジスター106と、並列処理されるべき他のデータ群を格納しておくデータレジスターR0からRnとから構成される。

#### 【0088】

なお、以降においてデータレジスターR0～Rnを総称してデータレジスター群107と称することとし、ALUはアキュムレータAを含むものとする。また、以降においてALU105とレジスター106とを併せてプロセッサエレメント(PE)と称することとする。

#### 【0089】

SIMD型プロセッサ100は割込要求を受け付け、必要に応じてSIMD型演算部101の処理を置換する。SIMD型プロセッサ100の動作について割込要求の処理も含めて説明する。図2は、SIMD型プロセッサ100の動作を説明するフローチャートである。グローバルプロセッサ102は、プログラムRAM103に格納されたジョブ1に関する命令をALU105に付与し、また、SIMD型プロセッサ100の外部から処理に必要なデータをテンポラリー・レジスターFに付与する(ステップS201)。

#### 【0090】

ここで、ジョブとはプログラマによって定義され、SIMD型プロセッサ100によって実施される仕事の単位をいうものとする。また、グローバルプロセッサ102が付与する命令は、全(すべ)てのALU105に同様に分配される。すなわち、単一の命令もしくは命令群を、全(すべ)てのALU105に同等にブロードキャストするので、SIMD型演算部101では並列処理が可能となる。

#### 【0091】

また、グローバルプロセッサ102が付与するデータは、外部からに限ることなく、たとえばALU105に付与する命令にしたがって間接的に、もしくは直接データレジスターR0からテンポラリー・レジスターFに読み出す態様であってもよい。また、使用するデータを複数読み出しておき、あらかじめデータレジスター群107に格納しておいてもよい。

## 【0092】

ステップS201で付与されたデータおよび命令にしたがって、SIMD型演算部101はジョブ1を実行する（ステップS202）。必要に応じて途中の計算結果をレジスター106やデータレジスター群107に格納してもよい。グローバルプロセッサ102はSIMD型演算部101でジョブ1が終了したか判断する（ステップS203）。

## 【0093】

ジョブ1が終了したか否かは、プログラムカウンタ値により判断する。プログラムカウンタはジョブ1の処理がどの段階まで進行したかを示す値であるプログラムカウンタ値を格納する専用レジスターであり、グローバルプロセッサ102の中に設けられている（図示せず）。なお、使用の態様によってはSIMD型演算部101内に設けられ、逐次グローバルプロセッサ102が参照してもよい。

## 【0094】

ジョブ1が終了した場合（ステップS203肯定）、SIMD型プロセッサ100の処理は終了する。ジョブ1が終了していない場合（ステップS203否定）、割込要求があるかを調べる（ステップS204）。ここで、割込要求とはジョブ1で実施される一連のプログラム処理とは異なった別の処理をいう。SIMD型プロセッサ100が特定用途に限られない処理をおこなう場合には、他の処理要求を受け付ける必要が生じ、グローバルプロセッサ102が割込要求の信号を入力する。

## 【0095】

割込要求がない場合（ステップS204否定）、ステップS202に戻り、ジョブ1を続行する。一方、割込要求があった場合（ステップS204肯定）、割込を許可するか否かを判断する（ステップS205）。判断はグローバルプロセッサ102がおこない、現在処理をしているジョブ1と割込要求にかかる並列処理との優先度との比較において判断する。なお、この優先度は、ジョブ1の処理プログラム内で定義してもよい。また比較には比較テーブルなどを設けて参酌してもよい。

## 【 0 0 9 6 】

割込許可をしない場合（ステップ S 2 0 5 否定）、ステップ S 2 0 2 に戻りジョブ 1 を続行する。グローバルプロセッサ 1 0 2 は、割込要求の発信元に、割込要求は破棄された旨の信号を送信してもよい。割込許可をする場合（ステップ S 2 0 5 肯定）、グローバルプロセッサ 1 0 2 はジョブ 1 を中止させる（ステップ S 2 0 6）。中止信号はグローバルプロセッサ 1 0 2 から各 A L U 1 0 5 にブロードキャストされる。たとえば割込要求フラグを立てるなどする。ここで、S I M D 型演算部 1 0 1 は、各 A L U 1 0 5 で同様の処理を同様のタイミングでおこなっているため、ジョブ 1 が同時に開始できるのと同様に、一斉に処理を中止することが可能である。

## 【 0 0 9 7 】

グローバルプロセッサ 1 0 2 は、割込要求にかかるジョブ 2 の命令およびデータを S I M D 型演算部 1 0 1 に付与する（ステップ S 2 0 7）。ジョブ 2 の命令はプログラム R A M 1 0 3 に格納されているが、使用の態様によっては S I M D 型プロセッサ 1 0 0 の外部から入力してもよい。また、データについても S I M D 型プロセッサ 1 0 0 の外部から入力するが、ジョブ 2 の内容によってはデータレジスタ群 1 0 7 のデータをそのまま使用してもよい。

## 【 0 0 9 8 】

データを S I M D 型プロセッサ 1 0 0 の外部のバスから入力するのにある程度の時間がかかる場合は、必要に応じてデータ R A M 1 0 4 にまず格納してもよい。これにより、ジョブ 1 の処理をぎりぎりまで続行でき、また、中止後は速やかにジョブ 2 のデータをデータレジスタ群 1 0 7 に格納することができる。

## 【 0 0 9 9 】

ステップ S 2 0 7 でデータおよび命令の付与が終了したらジョブ 2 を実行する（ステップ S 2 0 8）。なお、ここではジョブ 1 の実行中にジョブ 2 の割込要求があった場合について説明したが、これに限ることなく、ジョブ 2 の割込処理中に、別の割込要求が発生した場合の処理についても同様に処理することができる。

## 【 0 1 0 0 】

以上説明したように、SIMD型プロセッサ１００は、優先順位の高い処理を優先して実行することができるため、汎用のプロセッサとして利用可能となる。特に、SIMD型プロセッサ１００は並列処理をおこなっているため、各PEの処理を同時に終了させ、速やかに割込処理である並列処理を実行可能な状態とすることができる。また、ジョブ２のプログラムがプログラムRAM１０３内にあるので、ジョブ２の即時実行が可能となるという利点を有する。

#### 【 0 1 0 1 】

つぎに、データRAM１０４を用いてジョブ２の処理終了後にジョブ１を再開する処理の流れについて説明する。図３は、SIMD型プロセッサ１００において処理の退避および復帰を説明するフローチャートである。ステップS３０１からステップS３０５までは図２に示したステップS２０１からステップS２０５までと同様の処理であるので説明を省略する。

#### 【 0 1 0 2 】

ステップS３０５で割込を許可する場合（ステップS３０５肯定）、ジョブ１の中断情報をデータRAM１０４に退避する（ステップS３０６）。中断情報は、グローバルプロセッサ１０２内のプログラムカウンタ値と、各PEの内容すなわちALU１０５のアクキュムレータAの内容およびレジスター１０６の内容と、データレジスター群１０７の内容とから構成される。中断情報は、いわばSIMD型プロセッサ１００のハードコピーであるといえる。中断情報の格納はグローバルプロセッサ１０２の制御の下におこなわれる。

#### 【 0 1 0 3 】

中断情報の格納が終了した場合、図２に示したステップS２０７およびステップS２０８と同様に、ジョブ２のデータおよび命令をSIMD型演算部１０１に付与し（ステップS３０７）、ジョブ２を実行する（ステップS３０８）。つぎにジョブ２が終了したか否かを判断する（ステップS３０９）。ジョブ２が終了したか否かは、プログラムカウンタ値により判断する。

#### 【 0 1 0 4 】

ジョブ２が終了していないとき（ステップS３０９否定）は、ジョブ２を続行する。なお、ジョブ２の続行中にさらに割込処理要求があった場合の処理につい

ては後述する。ジョブ2が終了した場合（ステップS309肯定）、ジョブ1の中断情報を復元する（ステップS310）。復元については、データRAM104に格納された中断情報を、それぞれ元の場所に戻すことによりおこなう。この処理はグローバルプロセッサ102がおこなう。

#### 【0105】

中断情報は、ジョブ1が中断した際の並列処理の中身であるので、中断した時点から並列処理の続行が可能となる。すなわちステップS310で中断情報を復元すると、ステップS302に移行することになる。

#### 【0106】

以上が、ジョブ1を退避してジョブ2を実行し、ジョブ2の終了後にジョブ1を再開する処理手順である。つぎに、ジョブ2を実行中にさらに割込要求があった場合を考える。この割込要求にかかる並列処理をジョブ3と称することとする。ジョブ3を実行する際の処理フローは図3に示した流れと同様である。ジョブ2の中断情報はデータRAM104に格納（スタック）する。

#### 【0107】

図4は、グローバルプロセッサ102の制御の下、ジョブ2の中断情報をデータRAM104に格納する様子を示した模式図であり、図5は、データRAM104に格納した中断情報を復帰させる様子を示した模式図である。ジョブ1とジョブ2ではジョブ2の優先順位が高いと判断されたので、ジョブ3の割込処理が終了した場合は、ジョブ2の中断情報を取り出して処理すべきである。したがってデータRAM104は、図に示したように、スタックメモリーとして後に格納した順から先に読み出すこととすれば、メモリー管理が簡易となる。

#### 【0108】

以上がSIMD型プロセッサ100の処理概要である。つぎに、プログラムRAM103の中身について説明する。図6はプログラムRAM103に格納された処理プログラムの一例を示した図である。プログラムRAM103には、第1のプログラムP1としてジョブ1の処理プログラムが格納されており、第2のプログラムP2としてジョブ1のデータ退避プログラム（ジョブ1の中断情報の格納処理プログラム）P2が格納されており、第3のプログラムとしてジョブ2



の処理プログラム P 3 が、第 4 のプログラムとしてジョブ 1 のデータ再ロードプログラム（ジョブ 1 の中断情報の復帰プログラム） P 4 が格納されている。なお、P 4 以降は空き領域である。

## 【 0 1 0 9 】

グローバルプロセッサ 1 0 2 はプログラムカウンタによりプログラム RAM 1 0 3 に格納された P 1 のアドレスを指定して、ジョブ 1 を実行する。ジョブ 2 の割込要求が発生し、割込処理をおこなうと判断した場合はプログラムカウンタを 1 すすめ、プログラム RAM 1 0 3 に格納された P 2 のアドレスを指定して中断処理を実行する。

## 【 0 1 1 0 】

その後は順次プログラムカウンタを進めることにより P 3、P 4 を実行してジョブ 2 が終了したらジョブ 1 を中断した時点から再開する。なお、プログラム RAM 1 0 3 には、中断再開の処理順にプログラムが並んでいるがこれに限ることなく、プログラムカウンタ値が指定するアドレスにより処理すべきプログラムがロードされる態様であってもよい。

## 【 0 1 1 1 】

プログラム RAM 1 0 3 ではあらかじめ想定された処理プログラムを格納しているが、このプログラム RAM に格納する処理プログラムは、固定されたものでなく、SIMD 型プロセッサ 1 0 0 の外部の記憶部（たとえばハードディスクやメインメモリー）に命令セットとして格納しておき、必要に応じてダウンロードする。

## 【 0 1 1 2 】

このような構成とすることで、SIMD 型プロセッサ 1 0 0 は汎用の並列処理プロセッサとして利用できるのみでなく、内部に処理プログラムを格納することで処理速度を向上させることが可能となる。また、必要な処理プログラムを組み合わせ使用できるので、いわばプログラマブルなプロセッサとして使用可能となり、利便性が著しく向上する。なお、中断処理の内容によっては、プログラム RAM 1 0 3 の内容も中断情報としてデータ RAM 1 0 4 に格納してもよい。

## 【 0 1 1 3 】

なお、データRAM104には、処理プログラムに対応したパラメーターデータを格納するので、スタックとせずにアドレス指定して管理してもよい。図7はデータRAM104の使用態様の一例を示した概念図であり、同図(a)は中断情報格納前、同図(b)は中断情報格納後の状態をそれぞれ示したものである。図に示したように、アドレス指定することにより任意の場所に中断情報を格納可能となる。

## 【 0 1 1 4 】

以上説明したように、本実施の形態にかかるSIMD型プロセッサは、処理を即座に中断して割込処理を実行することができ、これにより、並列処理を効率的におこなうことが可能となる。特に一連の並列処理が組み合わさったジョブに時間がかかる場合に、優先度を考慮して割込処理を実行させる必要が生じる場合に利便性が高くなる。

## 【 0 1 1 5 】

また、プログラムRAMを内蔵したことで、外部からプログラムをロードする必要がなく割込処理を即時に実行することが可能となる。また、プログラムRAMに必要なプログラムを組み合わせて使用するので汎用プロセッサもしくはプログラマブルなプロセッサとして使用することができ、利便性が高くなる。

## 【 0 1 1 6 】

また、データRAMを内蔵したことで、割り込みされたジョブの状態を保存、退避することが可能となり、処理の重複が発生せず、かつ、割込処理が終了した際には、即時に割込処理直前のジョブの再開が可能となり、並列処理を効率的におこなうことが可能となる。

## 【 0 1 1 7 】

## 〔実施の形態2〕

実施の形態2では、効率的に並列処理をおこなう並列処理装置について説明する。図8は、この発明の本実施の形態にかかる並列処理装置の構成の一例を示した図である。並列処理装置800は、主に演算をおこなう中央処理装置801と、主に情報を記憶する記憶装置802と、主に他の装置などとの間で入出力をお

こなう入出力装置 803 と、から構成される。なお、804 はバスを示す。

【0118】

中央処理装置 801 は、与えられたデータに対して並列処理をおこなう SIMD 型演算部 810 と、SIMD 型演算部 810 の計算結果をシフト等させ SIMD 型演算部 810 で再計算する際に使用する結合網 830 と、SIMD 型演算部 810 に対して処理すべきデータと SIMD 型演算部 810 で並列処理するのに必要な命令を付与し、また結合網 830 を制御する制御装置 820 と、から構成される。

【0119】

記憶装置 802 は、中央処理装置 801 において並列処理を実行させるプログラムを格納したプログラム RAM 840 と、中央処理装置 801 において並列処理されるデータを格納するデータ RAM 850 とから構成される。なお、プログラム RAM 840 とデータ RAM 850 は、中央処理装置 801 で並列処理する際のプログラムやデータを格納するだけでなく、通常のデータやプログラムも格納する。すなわち、これらの RAM は汎用の RAM である。汎用の RAM を使用することで、装置を安価に構築することが可能となる。

【0120】

また、入出力装置 803 には、キーボードやマウスのような入力装置 860 と、ディスプレイやプリンターなどの出力装置 870 と、MO や CD-R などの補助記憶装置 880 とから構成される。

【0121】

また、SIMD 型演算部 810 は、演算処理をおこなう複数の同等なプロセッサエレメント PE および PE の計算結果を格納する複数の同等のローカルメモリー M とからなる。プロセッサエレメント PE は実施の形態 1 と同様に ALU とレジスターから構成される。

【0122】

図 8 から明らかなように、並列処理装置 800 は、実施の形態 1 の SIMD 型プロセッサ 100 (図 1 参照) の各構成部分を全 (すべ) て内包する構成をとる。したがって、その作用効果も共通するため、ここでは、異なる作用効果につ

いて説明する。SIMD型プロセッサ100は、プロセッサ内部にプログラムRAM103やデータRAM104を内包していたが、並列処理装置800は記憶装置802にそれぞれプログラムRAM840およびデータRAM850を備える。すなわち、プログラムRAM840およびデータRAM850の配設場所は限定されたものではない。

#### 【0123】

このように構成すると、たとえば実施の形態1にいう割込処理であるジョブ2に関するデータおよび命令を、中央処理装置801の外部から、すなわち、記憶装置802からロードする分だけ処理が遅くなる場合（タイムラグが発生する場合）がある。しかしながら、プロセッサにプログラムRAM840もしくはデータRAM850を内包しない分だけ、装置設計の自由度を確保できるという利点がある。

#### 【0124】

記憶装置802と中央処理装置801の間で命令およびデータを転送するバス804の管理を効率的におこなうことによりタイムラグの発生を最小限にとどめることが可能となる。処理効率を向上させるために、たとえば、バス804の中に、プログラムRAM840およびデータRAMと中央処理装置801との間で使用する専用バスを設けてもよい。

#### 【0125】

SIMD型プロセッサ100を使用するか、並列処理装置800を使用するかは、発生するタイムラグ、設計の自由度および処理内容による。一度に扱うデータがギガバイト～テラバイトであると、実質上1チップでSIMD型プロセッサを構築できなくなるので、このような場合は、図8に示したようにデータRAM850を、中央処理装置801外部に設けた方が効率的な並列処理をおこなえる。

#### 【0126】

また、データRAM850は汎用のRAMであり、中央処理装置801の外部に設けられているので、実質的にその容量に制約がない。したがって、割込要求が多数発生するようなプログラムを実行する場合に、中断情報を幾重にも格納可

能とすることができ、この点でも効率的な並列処理をおこなえるといえる。

【0127】

また、図8から明らかなように制御装置820はローカルメモリーMを直接制御可能としている。したがって、結合網830との組合せによって、つぎのような逐次型の処理が可能となる。プロセッサエレメントPEが計算した結果をローカルメモリーMに格納し、ローカルメモリーMの内容を制御装置820が全（すべ）て読み出す。つぎに結合網830を制御してローカルメモリーMの内容を隣接するプロセッサエレメントPEに格納する。

【0128】

すると、本来的には並列処理とは各プロセッサエレメントPEが独立に処理をおこなうものであるところ、他のプロセッサエレメントPEの結果を反映して、逐次型の処理をおこなっていると考えることができる。よって、ジョブをおこなわせるプログラムを工夫することにより逐次型の処理を並列処理することが可能となる。なお、このような結合網はSIMD型プロセッサ100に内包させてもよい。

【0129】

以上説明したように、本実施の形態にかかる並列処理装置は、処理を即座に中断して割込処理を実行することができ、これにより、並列処理を効率的におこなうことが可能となる。また、一度に処理すべきデータが大量である場合、すなわち、プロセッサ内にデータRAMなどを内包できない場合に、外部に退避領域を設け、効率的な処理を図ることができる。

【0130】

〔実施の形態3〕

つぎに、実施の形態1のSIMD型プロセッサを備えた画像処理装置について説明する。図9は、この発明の本実施の形態にかかる画像処理装置の構成を機能的に示したブロック図である。図9において、画像処理装置は、以下に示す5つのユニットを含む構成である。

【0131】

上記5つのユニットとは、画像データ制御ユニット900と、画像データを読

み取る画像読取ユニット 9 0 1 と、画像を蓄積する画像メモリーを制御して画像データの書込み／読出しをおこなう画像メモリー制御ユニット 9 0 2 と、画像データに対し加工編集等の画像処理を施す画像処理ユニット 9 0 3 と、画像データを転写紙等へ書き込む画像書込ユニット 9 0 4 と、である。

【 0 1 3 2 】

上記各ユニットは、画像データ制御ユニット 9 0 0 を中心に、画像読取ユニット 9 0 1 と、画像メモリー制御ユニット 9 0 2 と、画像処理ユニット 9 0 3 と、画像書込ユニット 9 0 4 とがそれぞれ画像データ制御ユニット 9 0 0 に接続されている。なお、使用の態様によってはファクシミリの送受信をおこなうファクシミリユニットを画像データ制御ユニット 9 0 0 に接続してもよい。

【 0 1 3 3 】

(画像データ制御ユニット 9 0 0 )

画像データ制御ユニット 9 0 0 によりおこなわれる処理としては以下のようなものがある。たとえば、

【 0 1 3 4 】

- (1) データのバス転送効率を向上させるためのデータ圧縮処理 (一次圧縮)
- (2) 一次圧縮データの画像データへの転送処理、
- (3) 画像合成処理 (複数ユニットからの画像データを合成することが可能である。また、データバス上での合成も含む。)、
- (4) 画像シフト処理 (主走査および副走査方向の画像のシフト)、
- (5) 画像領域拡張処理 (画像領域を周辺へ任意量だけ拡大することが可能)
- (6) 画像変倍処理 (たとえば、5 0 % または 2 0 0 % の固定変倍)、
- (7) パラレルバス・インターフェース処理、
- (8) シリアルバス・インターフェース処理 (後述するプロセス・コントローラ 1 0 1 1 とのインターフェース)、
- (9) パラレルデータとシリアルデータのフォーマット変換処理、
- (1 0) 画像読取ユニット 9 0 1 とのインターフェース処理、

(11) 画像処理ユニット 903 とのインターフェース処理、  
等である。なお、(3) 画像合成処理については、画像処理ユニット 903 によりおこなってもよい。

【0135】

(画像読取ユニット 901)

画像読取ユニット 901 によりおこなわれる処理としては以下のようなものがある。たとえば、

【0136】

(1) 光学系による原稿反射光の読み取り処理、  
(2) CCD (Charge Coupled Device : 電荷結合素子)  
での電気信号への変換処理、  
(3) A/D 変換器でのデジタル化処理、  
(4) シェーディング補正処理 (光源の照度分布ムラを補正する処理)、  
(5) スキャナ  $\gamma$  補正処理 (読み取り系の濃度特性を補正する処理)、  
等である。なお、(4) シェーディング補正処理および (5) スキャナ  $\gamma$  補正処理については、画像処理ユニット 903 によりおこなってもよい。

【0137】

(画像メモリー制御ユニット 902)

画像メモリー制御ユニット 902 によりおこなわれる処理としては以下のようなものがある。たとえば、

【0138】

(1) システム・コントローラとのインターフェース制御処理、  
(2) パラレルバス制御処理 (パラレルバスとのインターフェース制御処理)、  
(3) ネットワーク制御処理、  
(4) シリアルバス制御処理 (複数の外部シリアルポートの制御処理)、  
(5) 内部バスインターフェース制御処理 (操作部とのコマンド制御処理)、  
(6) ローカルバス制御処理 (システム・コントローラを起動させるための ROM、RAM、フォントデータのアクセス制御処理)、

(7) メモリー・モジュールの動作制御処理（メモリー・モジュールの書き込み／読み出し制御処理等）、

(8) メモリー・モジュールへのアクセス制御処理（複数のユニットからのメモリー・アクセス要求の調停をおこなう処理）、

(9) データの圧縮／伸張処理（メモリー有効活用のためのデータ量の削減するための処理）、

(10) 画像編集処理（メモリー領域のデータクリア、画像データの回転処理、メモリー上での画像合成処理等）、

等である。なお、(9) データの圧縮／伸張処理については、画像処理ユニット 9 0 3 によりおこなってもよい。

【 0 1 3 9 】

(画像処理ユニット 9 0 3)

画像処理ユニット 9 0 3 によりおこなわれる処理としては以下のようなものがある。たとえば、

【 0 1 4 0 】

(1) シェーディング補正処理（光源の照度分布ムラを補正する処理）、

(2) スキャナー  $\gamma$  補正処理（読み取り系の濃度特性を補正する処理）、

(3) M T F 補正処理、

(4) 平滑処理、

(5) 主走査方向の任意変倍処理、

(6) 濃度変換（ $\gamma$  変換処理：濃度ノッチに対応）、

(7) 単純多値化処理、

(8) 単純二値化処理、

(9) 誤差拡散処理、

(10) ディザ処理、

(11) ドット配置位相制御処理（右寄りドット、左寄りドット）、

(12) 孤立点除去処理、

(13) 像域分離処理（色判定、属性判定、適応処理）、

(14) 密度変換処理、



等である。

【 0 1 4 1 】

(画像書込ユニット 9 0 4)

画像書込ユニット 9 0 4 によりおこなわれる処理としては以下のようなものがある。たとえば、

【 0 1 4 2 】

- (1) エッジ平滑処理 (ジャギー補正処理)、
- (2) ドット再配置のための補正処理、
- (3) 画像信号のパルス制御処理、
- (4) パラレルデータとシリアルデータのフォーマット変換処理、

等である。なお、(1) エッジ平滑処理については、画像処理ユニット 9 0 3 によりおこなってもよい。

【 0 1 4 3 】

(デジタル複合機のハードウェア構成)

つぎに、本実施の形態にかかる画像処理装置がデジタル複合機を構成する場合のハードウェア構成について説明する。図 1 0 は本実施の形態にかかる画像処理装置のハードウェア構成の一例を示したブロック図である。

【 0 1 4 4 】

図 1 0 のブロック図において、本実施の形態にかかる画像処理装置は、読取ユニット 1 0 0 1 と、センサー・ボード・ユニット 1 0 0 2 と、画像データ制御部 1 0 0 3 と、画像処理プロセッサ 1 0 0 4 と、ビデオ・データ制御部 1 0 0 5 と、作像ユニット (エンジン) 1 0 0 6 とを備える。また、本実施の形態にかかる画像処理装置は、シリアルバス 1 0 1 0 を介して、プロセス・コントローラ 1 0 1 1 と、RAM 1 0 1 2 と、ROM 1 0 1 3 とを備える。

【 0 1 4 5 】

また、本実施の形態にかかる画像処理装置は、パラレルバス 1 0 2 0 を介して、画像メモリー・アクセス制御部 1 0 2 1 とファクシミリ制御ユニット 1 0 2 4 とを備え、さらに、画像メモリー・アクセス制御部 1 0 2 1 に接続されるメモリー・モジュール 1 0 2 2 と、システム・コントローラ 1 0 3 1 と、RAM 1 0

3 2 と、ROM 1 0 3 3 と、操作パネル 1 0 3 4 とを備える。

【 0 1 4 6 】

ここで、上記各構成部と、図 9 に示した各ユニット 9 0 0 ～ 9 0 4 との関係について説明する。すなわち、読取ユニット 1 0 0 1 およびセンサー・ボード・ユニット 1 0 0 2 により、図 9 に示した画像読取ユニット 9 0 1 の機能を実現する。また同様に、画像データ制御部 1 0 0 3 により、画像データ制御ユニット 9 0 0 の機能を実現する。また同様に、画像処理プロセッサ 1 0 0 4 により画像処理ユニット 9 0 3 の機能を実現する。

【 0 1 4 7 】

また同様に、ビデオ・データ制御部 1 0 0 5 および作像ユニット（エンジン）1 0 0 6 により画像書込ユニット 9 0 4 を実現する。また同様に、画像メモリー・アクセス制御部 1 0 2 1 およびメモリー・モジュール 1 0 2 2 により画像メモリー制御ユニット 9 0 2 を実現する。

【 0 1 4 8 】

つぎに、各構成部の内容について説明する。原稿を光学的に読み取る読取ユニット 1 0 0 1 は、ランプとミラーとレンズから構成され、原稿に対するランプ照射の反射光をミラーおよびレンズにより受光素子に集光する。

【 0 1 4 9 】

受光素子、たとえば CCD は、センサー・ボード・ユニット 1 0 0 2 に搭載され、CCD において電気信号に変換された画像データはデジタル信号に変換された後、センサー・ボード・ユニット 1 0 0 2 から出力（送信）される。

【 0 1 5 0 】

センサー・ボード・ユニット 1 0 0 2 から出力（送信）された画像データは画像データ制御部 1 0 0 3 に入力（受信）される。機能デバイス（処理ユニット）およびデータバス間における画像データの伝送は画像データ制御部 1 0 0 3 が全（すべ）て制御する。

【 0 1 5 1 】

画像データ制御部 1 0 0 3 は、画像データに関し、センサー・ボード・ユニット 1 0 0 2、パラレルバス 1 0 2 0、画像処理プロセッサ 1 0 0 4 間のデータ

転送、画像データに対するプロセス・コントローラー 1 0 1 1 と画像処理装置の全体制御を司るシステム・コントローラー 1 0 3 1 との間の通信をおこなう。また、RAM 1 0 1 2 はプロセス・コントローラー 1 0 1 1 のワークエリアとして使用され、ROM 1 0 1 3 はプロセス・コントローラー 1 0 1 1 のブートプログラム等を記憶している。

【 0 1 5 2 】

また、プロセス・コントローラー 1 0 1 1 は、後述する画像処理プロセッサ 1 0 0 4 に割込処理要求を送信する。使用の態様によってはシステム・コントローラー 1 0 3 1 が送信してもよい。また、RAM 1 0 1 2 は、画像処理プロセッサ 1 0 0 4 で使用する並列処理に関するプログラムを多種格納しており、必要に応じて画像処理プロセッサ 1 0 0 4 に送信する。

【 0 1 5 3 】

センサー・ボード・ユニット 1 0 0 2 から出力（送信）された画像データは画像データ制御部 1 0 0 3 を経由して画像処理プロセッサ 1 0 0 4 に転送（送信）され、光学系およびデジタル信号への量子化にともなう信号劣化（スキャナー系の信号劣化とする）を補正し、再度、画像データ制御部 1 0 0 3 へ出力（送信）される。

【 0 1 5 4 】

画像メモリー・アクセス制御部 1 0 2 1 は、メモリー・モジュール 1 0 2 2 に対する画像データの書き込み／読み出しを制御する。また、パラレルバス 1 0 2 0 に接続される各構成部の動作を制御する。また、RAM 1 0 3 2 はシステム・コントローラー 1 0 3 1 のワークエリアとして使用され、ROM 1 0 3 3 はシステム・コントローラー 1 0 3 1 のブートプログラム等を記憶している。

【 0 1 5 5 】

操作パネル 1 0 3 4 は、画像処理装置がおこなうべき処理を入力する。たとえば、処理の種類（複写、ファクシミリ送信、画像読込、プリント等）および処理の枚数等を入力する。これにより、画像データ制御情報の入力をおこなうことができる。なお、ファクシミリ制御ユニット 1 0 2 4 の内容については後述する。

【 0 1 5 6 】

つぎに、読み取った画像データにはメモリー・モジュール1022に蓄積して再利用するジョブと、メモリー・モジュール1022に蓄積しないジョブとがあり、それぞれの場合について説明する。メモリー・モジュール1022に蓄積する例としては、1枚の原稿について複数枚を複写する場合に、読取ユニット1001を1回だけ動作させ、読取ユニット1001により読み取った画像データをメモリー・モジュール1022に蓄積し、蓄積された画像データを複数回読み出すという方法がある。

#### 【0157】

メモリー・モジュール1022を使わない例としては、1枚の原稿を1枚だけ複写する場合に、読み取り画像データをそのまま再生すればよいので、画像メモリー・アクセス制御部1021によるメモリー・モジュール1022へのアクセスをおこなう必要はない。

#### 【0158】

まず、メモリー・モジュール1022を使わない場合、画像処理プロセッサ1004から画像データ制御部1003へ転送されたデータは、再度画像データ制御部1003から画像処理プロセッサ1004へ戻される。画像処理プロセッサ1004においては、センサー・ボード・ユニット1002におけるCCDによる輝度データを面積階調に変換するための画質処理をおこなう。

#### 【0159】

画質処理後の画像データは画像処理プロセッサ1004からビデオ・データ制御部1005に転送される。面積階調に変化された信号に対し、ドット配置に関する後処理およびドットを再現するためのパルス制御をおこない、その後、作像ユニット1006において転写紙上に再生画像を形成する。

#### 【0160】

つぎに、メモリー・モジュール1022に蓄積し画像読み出し時に付加的な処理、たとえば画像方向の回転、画像の合成等をおこなう場合の画像データの流れについて説明する。画像処理プロセッサ1004から画像データ制御部1003へ転送された画像データは、画像データ制御部1003からパラレルバス1020を經由して画像メモリー・アクセス制御部1021に送られる。

## 【 0 1 6 1 】

ここでは、システム・コントローラ 1 0 3 1 の制御に基づいて画像データとメモリー・モジュール 1 0 2 2 のアクセス制御、外部 P C （パーソナル・コンピュータ） 1 0 2 3 のプリント用データの展開、メモリー・モジュール 1 0 2 2 の有効活用のための画像データの圧縮／伸張をおこなう。

## 【 0 1 6 2 】

画像メモリー・アクセス制御部 1 0 2 1 へ送られた画像データは、データ圧縮後メモリー・モジュール 1 0 2 2 へ蓄積され、蓄積された画像データは必要に応じて読み出される。読み出された画像データは伸張され、本来の画像データに戻し画像メモリー・アクセス制御部 1 0 2 1 からパラレルバス 1 0 2 0 を経由して画像データ制御部 1 0 0 3 へ戻される。

## 【 0 1 6 3 】

画像データ制御部 1 0 0 3 から画像処理プロセッサ 1 0 0 4 への転送後は画質処理、およびビデオ・データ制御部 1 0 0 5 でのパルス制御をおこない、作像ユニット 1 0 0 6 において転写紙上に再生画像を形成する。

## 【 0 1 6 4 】

画像データの流れにおいて、パラレルバス 1 0 2 0 および画像データ制御部 1 0 0 3 でのバス制御により、デジタル複合機の機能を実現する。ファクシミリ送信機能は読み取られた画像データを画像処理プロセッサ 1 0 0 4 にて画像処理を実施し、画像データ制御部 1 0 0 3 およびパラレルバス 1 0 2 0 を経由してファクシミリ制御ユニット 1 0 2 4 へ転送する。ファクシミリ制御ユニット 1 0 2 4 にて通信網へのデータ変換をおこない、公衆回線（P N） 1 0 2 5 へファクシミリデータとして送信する。

## 【 0 1 6 5 】

一方、受信されたファクシミリデータは、公衆回線（P N） 1 0 2 5 からの回線データをファクシミリ制御ユニット 1 0 2 4 にて画像データへ変換され、パラレルバス 1 0 2 0 および画像データ制御部 1 0 0 3 を経由して画像処理プロセッサ 1 0 0 4 へ転送される。この場合、特別な画質処理はおこなわず、ビデオ・データ制御部 1 0 0 5 においてドット再配置およびパルス制御をおこない、作像

ユニット 1 0 0 6 において転写紙上に再生画像を形成する。なお、画像処理が必要な場合は、画像処理プロセッサ 1 0 0 4 において適宜画像処理をおこなう。

#### 【 0 1 6 6 】

複数ジョブ、たとえば、コピー機能、ファクシミリ送受信機能、プリンター出力機能が並行に動作する状況において、読取ユニット 1 0 0 1、作像ユニット 1 0 0 6 およびパラレルバス 1 0 2 0 の使用権のジョブへの割り振りをシステム・コントローラ 1 0 3 1 およびプロセス・コントローラ 1 0 1 1 において制御する。なお、割り振られた使用権のうち画像処理プロセッサ 1 0 0 4 で処理が必要なジョブについては、前述したように割込要求信号を発して、画像処理プロセッサ 1 0 0 4 においておこなわれているジョブとの関係において、処理を置換するかが決定される。

#### 【 0 1 6 7 】

プロセス・コントローラ 1 0 1 1 は画像データの流れを制御し、システム・コントローラ 1 0 3 1 はシステム全体を制御し、各リソースの起動を管理する。また、デジタル複合機の機能選択は操作パネル（操作部） 1 0 3 4 において選択入力し、コピー機能、ファクシミリ機能等の処理内容を設定する。

#### 【 0 1 6 8 】

システム・コントローラ 1 0 3 1 とプロセス・コントローラ 1 0 1 1 は、パラレルバス 1 0 2 0、画像データ制御部 1 0 0 3 およびシリアルバス 1 0 1 0 を介して相互に通信をおこなう。具体的には、画像データ制御部 1 0 0 3 内においてパラレルバス 1 0 2 0 とシリアルバス 1 0 1 0 とのデータ・インターフェースのためのデータフォーマット変換をおこなうことにより、システム・コントローラ 1 0 3 1 とプロセス・コントローラ 1 0 1 1 間の通信をおこなう。

#### 【 0 1 6 9 】

（画像処理ユニット 9 0 3 / 画像処理プロセッサ 1 0 0 4）

つぎに、画像処理ユニット 9 0 3 を構成する画像処理プロセッサ 1 0 0 4 における処理の概要について説明する。図 1 1 は本実施の形態にかかる画像処理装置の画像処理プロセッサ 1 0 0 4 の処理の概要を機能的に示したブロック図である。

## 【0170】

図11のブロック図において、画像処理プロセッサ1004は、第1入力I/F1101と、スキャナ画像処理部1102と、第1出力I/F1103と、第2入力I/F1104と、画質処理部1105と、第2出力I/F1106とを含む構成となっている。なお、図ではスキャナ画像処理部1102と画質処理部1105が別々に表されているが、必ずしも別々の処理部とすることなく、後述するSIMD型演算部で処理するものとして一体に構成してもよい。

## 【0171】

上記構成において、読み取られた画像データはセンサー・ボード・ユニット1002、画像データ制御部1003を介して画像処理プロセッサ1004の第1入力インターフェース(I/F)1101からスキャナ画像処理部1102へ伝達される。

## 【0172】

スキャナ画像処理部1102は読み取られた画像データの劣化を補正することを目的とし、具体的には、シェーディング補正、スキャナ $\gamma$ 補正、MTF補正等をおこなう。補正処理ではないが、拡大/縮小の変倍処理もおこなうことができる。読み取り画像データの補正処理が終了すると、第1出力インターフェース(I/F)1103を介して画像データ制御部1003へ画像データを転送する。

## 【0173】

転写紙への出力の際は、画像データ制御部1003からの画像データを第2入力I/F1104より受信し、画質処理部1105において面積階調処理をおこなう。画質処理後の画像データは第2出力I/F1106を介してビデオ・データ制御部1005または画像データ制御部1003へ出力される。

## 【0174】

画質処理部1105における面積階調処理は、濃度変換処理、ディザ処理、誤差拡散処理等があり、階調情報の面積近似を主な処理とする。一旦、スキャナ画像処理部1102により処理された画像データをメモリー・モジュール1022に蓄積しておけば、画質処理部1105により画質処理を変えることによって

種々の再生画像を確認することができる。

【 0 1 7 5 】

たとえば、再生画像の濃度を振って（変更して）みたり、ディザマトリクスの線数を変更してみたりすることにより、再生画像の雰囲気容易に変更することができる。この際、処理を変更するごとに画像を読取ユニット 1 0 0 1 からの読み込みをやり直す必要はなく、メモリー・モジュール 1 0 2 2 から蓄積された画像データを読み出すことにより、同一画像データに対して、何度でも異なる処理を迅速に実施することができる。

【 0 1 7 6 】

つぎに、画像処理プロセッサ 1 0 0 4 の内部構成について説明する。図 1 2 は本実施の形態にかかる画像処理装置の画像処理プロセッサ 1 0 0 4 の内部構成を示したブロック図であり、図 1 3 は、図 1 2 を詳細に示したブロック図である。図 1 2 のブロック図において、画像処理プロセッサ 1 0 0 4 は、外部とのデータおよび制御信号の入出力に関し、複数個の入出力ポート（データ入出力用バス） 1 2 0 1 を備え、それぞれデータの入力および出力を任意に設定することができる。

【 0 1 7 7 】

また、入出力ポート 1 2 0 1 と接続するように内部にバス・スイッチ／ローカル・メモリー群 1 2 0 2 を備え、使用するメモリー領域、データバスの経路をメモリー制御部 1 2 0 3 において制御する。入力されたデータおよび出力のためのデータは、バス・スイッチ／ローカル・メモリー群 1 2 0 2 をバッファ・メモリーとして割り当て、それぞれに格納し、外部との I / F を制御される。このバススイッチ・ローカルメモリー群は、実施の形態 1 におけるデータレジスタ群 1 0 7 に相当する。

【 0 1 7 8 】

バス・スイッチ／ローカル・メモリー群 1 2 0 2 に格納された画像データに対して SIMD 型演算部 1 2 0 4 において各種処理をおこない、出力結果（処理された画像データ）を再度バス・スイッチ／ローカル・メモリー群 1 2 0 2 に格納する。



## 【0179】

プログラムRAM1205、データRAM1206におけるパラメータデータの内容はシリアルI/F1208を通じて、プロセス・コントローラ1011からホスト・バッファ1207にダウンロードされる。なお、シリアルI/F1208は図11におけるシリアルI/F1108と同一のものである。また、データRAM1206は、割込処理に必要なデータたとえばラインデータ等をあらかじめ入力しておくために、入出力ポート1201にも接続されている。また、プロセス・コントローラ1011がグローバルプロセッサ1209内のプログラムカウンタ値を読み出して、処理の経過を把握する。

## 【0180】

処理の内容を変えたり、システムで要求される処理形態が変更になる場合は、SIMD型演算部1204が参照するプログラムRAM1205およびデータRAM1206の内容を更新して対応する。ここで、パラメータデータ等は、シリアルI/F1208を介してRAM1012から、処理対象となるデータについては画像データ制御部1003から入出力ポート1201を介して入力する。

## 【0181】

(SIMD型プロセッサの構成)

図14はSIMD型演算部1204の概略構成を示した説明図である。実施の形態1で説明したようにSIMDは複数のデータに対し、単一の命令を並列に実行させるもので、複数のPE（プロセッサ・エレメント）より構成される。

## 【0182】

それぞれのPEはデータを格納するレジスタ（Reg）1401、他のPEのレジスタをアクセスするためのマルチプレクサ（MUX）1402、パレルシフター（Shift Expand）1403、ALU1404、論理結果を格納するアキュムレータ（A）1405、アキュムレータ1405の内容を一時的に退避させるテンポラリー・レジスタ（F）1406から構成される。このReg1401は、図1におけるデータレジスタR0～Rnに対応しており、図13から明らかなように本実施の形態ではn=19である。また、MUX1402は、図8における結合網830と同じ役割をはたす。

## 【 0 1 8 3 】

各レジスター1401はアドレスバスおよびデータバス（リード線およびワード線）に接続されており、処理を規定する命令コード、処理の対象となるデータを格納する。レジスター1401の内容はALU1404に入力され、演算処理結果はアキュムレータ1405に格納される。結果をPE外部に取り出すために、テンポラリー・レジスター1406に一旦退避させる。テンポラリー・レジスター1406の内容を取り出すことにより、対象データに対する処理結果が得られる。この取出制御はグローバルプロセッサ1209がおこなう。

## 【 0 1 8 4 】

たとえば、図14ではPEは8つのみ示しているが、読取ユニット1001で1ライン224画素として画像データを取り込む場合には、PEを224個設けてもよい。演算に際しては、各画素の画像データをレジスター1401に配置し、PEにおいて同一の命令コードで演算処理させれば、1画素ずつ逐次処理するよりも短時間で1ライン分の処理結果が得られる。特に、空間フィルタ処理、シェーディング補正処理はPEごとの命令コードは演算式そのもので、PE全（すべ）てに共通に処理を実施することができる。

## 【 0 1 8 5 】

命令コードは各PEに同一内容で与え、処理の対象データをPEごとに異なる状態で与え、隣接PEのレジスター1401の内容をマルチプレクサー1402において必要に応じて参照し、演算結果は並列処理され、各アキュムレータ1405に出力される。なお、並列演算処理は逐次型演算処理で得意とする処理、たとえば2画素前の処理結果を注目画素に反映させるような計算が不得意であるとされるが、これは、レジスター1401およびMUX1402を組み合わせることにより、解消される。

## 【 0 1 8 6 】

図15は、逐次型の処理をおこなうことができるレジスターの格納の仕方を説明する説明図である。GDは画素データを表すものとする。第n画素の処理に前後2画素ずつの画素を参照する必要がある処理を考える。このときグローバルプロセッサ1209の制御の下、レジスター1401に図のように格納場所をず

らして5つのコピーを引き渡す。後は、プログラムにしたがって順次処理することにより逐次型の処理を並列処理することができる。なお、計算結果をつぎの画素に反映させるような場合は、MUX 1 4 0 2を用いてシフトさせレジスター 1 4 0 1に格納すればよい。

#### 【 0 1 8 7 】

(画像データ制御ユニット 9 0 0 / 画像データ制御部 1 0 0 3)

つぎに、画像データ制御ユニット 9 0 0を構成する画像データ制御部 1 0 0 3における処理の概要について説明する。図 1 6は本実施の形態にかかる画像処理装置の画像データ制御部 1 0 0 3の処理の概要を示したブロック図である。

#### 【 0 1 8 8 】

図 1 6のブロック図において、画像データ入出力制御部 1 6 0 1は、センサー・ボード・ユニット 1 0 0 2からの画像データを入力（受信）し、画像処理プロセッサ 1 0 0 4に対して画像データを出力（送信）する。すなわち、画像データ入出力制御部 1 6 0 1は、画像読取ユニット 9 0 1と画像処理ユニット 9 0 3（画像処理プロセッサ 1 0 0 4）とを接続するための構成部であり、画像読取ユニット 9 0 1により読み取られた画像データを画像処理ユニット 9 0 3へ送信するためだけの専用の入出力部であるといえる。

#### 【 0 1 8 9 】

また、画像データ入力制御部 1 6 0 2は、画像処理プロセッサ 1 0 0 4でスキャナー画像補正された画像データを入力（受信）する。入力された画像データはパラレルバス 1 0 2 0における転送効率を高めるために、データ圧縮部 1 6 0 3においてデータ圧縮処理をおこなう。その後、データ変換部 1 6 0 4を経由し、パラレルデータ I / F 1 6 0 5を介してパラレルバス 1 0 2 0へ送出される。

#### 【 0 1 9 0 】

パラレルバス 1 0 2 0からパラレルデータ I / F 1 6 0 5を介して入力される画像データは、バス転送のために圧縮されているため、データ変換部 1 6 0 4を経由してデータ伸張部 1 6 0 6へ送られ、そこでデータ伸張処理をおこなう。伸張された画像データは画像データ出力制御部 1 6 0 7において画像処理プロセッサ 1 0 0 4へ転送される。

## 【 0 1 9 1 】

また、画像データ制御部 1 0 0 3 は、パラレルデータとシリアルデータの変換機能も備えている。システム・コントローラ 1 0 3 1 はパラレルバス 1 0 2 0 にデータを転送し、プロセス・コントローラ 1 0 1 1 はシリアルバス 1 0 1 0 にデータを転送する。画像データ制御部 1 0 0 3 は 2 つのコントローラの通信のためにデータ変換をおこなう。

## 【 0 1 9 2 】

また、シリアルデータ I / F は、シリアルバス 1 0 1 0 を介してプロセス・コントローラとのデータのやりとりをする第 1 シリアルデータ I / F 1 6 0 8 と、画像処理プロセッサ 1 0 0 4 とのデータのやりとりに用いる第 2 シリアルデータ I / F 1 6 0 9 を備える。画像処理プロセッサ 1 0 0 4 との間に独立に 1 系統持つことにより、画像処理プロセッサ 1 0 0 4 とのインターフェースを円滑化することができる。

## 【 0 1 9 3 】

コマンド制御部 1 6 1 0 は、入力された命令にしたがって、上述した画像データ制御部 1 0 0 3 内の各構成部および各インターフェースの動作を制御する。

## 【 0 1 9 4 】

(画像書込ユニット 9 0 4 / ビデオ・データ制御部 1 0 0 5)

つぎに、画像書込ユニット 9 0 4 の一部を構成するビデオ・データ制御部 1 0 0 5 における処理の概要について説明する。図 1 7 は本実施の形態にかかる画像処理装置のビデオ・データ制御部 1 0 0 5 の処理の概要を示したブロック図である。

## 【 0 1 9 5 】

図 1 7 のブロック図において、ビデオ・データ制御部 1 0 0 5 は、入力される画像データに対して、作像ユニット 1 0 0 6 の特性に応じて、追加の処理をおこなう。すなわち、エッジ平滑処理部 1 7 0 1 がエッジ平滑処理によるドットの再配置処理をおこない、パルス制御部 1 7 0 2 がドット形成のための画像信号のパルス制御をおこない、上記の処理がおこなわれた画像データを作像ユニット 1 0 0 6 へ出力する。

## 【 0 1 9 6 】

画像データの変換とは別に、パラレルデータとシリアルデータのフォーマット変換機能を備え、ビデオ・データ制御部 1 0 0 5 単体でもシステム・コントローラ 1 0 3 1 とプロセス・コントローラ 1 0 1 1 の通信に対応することができる。すなわち、パラレルデータを送受信するパラレルデータ I / F 1 7 0 3 と、シリアルデータを送受信するシリアルデータ I / F 1 7 0 4 と、パラレルデータ I / F 1 7 0 3 およびシリアルデータ I / F 1 7 0 4 により受信されたデータを相互に変換するデータ変換部 1 7 0 5 とを備えることにより、両データのフォーマットを変換する。

## 【 0 1 9 7 】

(画像メモリー制御ユニット 9 0 2 / 画像メモリー・アクセス制御部 1 0 2 1)

つぎに、画像メモリー制御ユニット 9 0 2 の一部を構成する画像メモリー・アクセス制御部 1 0 2 1 における処理の概要について説明する。図 1 8 は本実施の形態にかかる画像処理装置の画像メモリー・アクセス制御部 1 0 2 1 の処理の概要を示したブロック図である。

## 【 0 1 9 8 】

図 1 8 のブロック図において、画像メモリー・アクセス制御部 1 0 2 1 は、パラレルバス 1 0 2 0 との画像データのインターフェースを管理し、また、メモリー・モジュール 1 0 2 2 への画像データのアクセス、すなわち格納（書込み）／読出しを制御し、また、主に外部の P C 1 0 2 3 から入力されるコードデータの画像データへの展開を制御する。

## 【 0 1 9 9 】

そのために、画像メモリー・アクセス制御部 1 0 2 1 は、パラレルデータ I / F 1 8 0 1 と、システム・コントローラ I / F 1 8 0 2 と、メモリー・アクセス制御部 1 8 0 3 と、ラインバッファ 1 8 0 4 と、ビデオ制御部 1 8 0 5 と、データ圧縮部 1 8 0 6 と、データ伸張部 1 8 0 7 と、データ変換部 1 8 0 8 と、を含む構成である。

## 【 0 2 0 0 】

ここで、パラレルデータ I / F 1 8 0 1 は、パラレルバス 1 0 2 0 との画像デ

ータのインターフェースを管理する。また、メモリー・アクセス制御部 1 8 0 3 は、メモリー・モジュール 1 0 2 2 への画像データのアクセス、すなわち格納（書込み）／読出しを制御する。

#### 【 0 2 0 1 】

また、入力されたコードデータは、ラインバッファ 1 8 0 4 において、ローカル領域でのデータの格納をおこなう。ラインバッファ 1 8 0 4 に格納されたコードデータは、システム・コントローラ I / F 1 8 0 2 を介して入力されたシステム・コントローラ 1 0 3 1 からの展開処理命令に基づき、ビデオ制御部 1 8 0 5 において画像データに展開される。

#### 【 0 2 0 2 】

展開された画像データもしくはパラレルデータ I / F 1 8 0 1 を介してパラレルバス 1 0 2 0 から入力された画像データは、メモリー・モジュール 1 0 2 2 に格納される。この場合、データ変換部 1 8 0 8 において格納対象となる画像データを選択し、データ圧縮部 1 8 0 6 においてメモリー使用効率を上げるためにデータ圧縮をおこない、メモリー・アクセス制御部 1 8 0 3 にてメモリー・モジュール 1 0 2 2 のアドレスを管理しながらメモリー・モジュール 1 0 2 2 に画像データを格納（書込）する。

#### 【 0 2 0 3 】

メモリー・モジュール 1 0 2 2 に格納（蓄積）された画像データの読み出しは、メモリー・アクセス制御部 1 8 0 3 において読み出し先アドレスを制御し、読み出された画像データをデータ伸張部 1 8 0 7 において伸張する。伸張された画像データをパラレルバス 1 0 2 0 へ転送する場合、パラレルデータ I / F 1 8 0 1 を介してデータ転送をおこなう。

#### 【 0 2 0 4 】

（ユニット構成）

つぎに、本実施の形態にかかる画像処理装置のユニット構成について説明する。図 1 9 は、画像処理装置がデジタル複合機の場合のユニット構成の一例を示したブロック図である。

#### 【 0 2 0 5 】

図 1 9 に示したようにデジタル複合機の場合においては、画像読取ユニット 9 0 1、画像エンジン制御ユニット 1 9 0 0、画像書込ユニット 9 0 4 の 3 つのユニットで構成され、各ユニットはそれぞれ単独の P C B 基板で管理できる。

#### 【 0 2 0 6 】

画像読取ユニット 9 0 1 は、C C D 1 9 0 1、A / D 変換モジュール 1 9 0 2、ゲイン制御モジュール 1 9 0 3 等から構成され、光学的に読み取られた光学画像情報をデジタル画像信号に変換する。

#### 【 0 2 0 7 】

画像エンジン制御ユニット 1 9 0 0 は、システム・コントローラー 1 0 3 1、プロセス・コントローラー 1 0 1 1、画像メモリー制御ユニット 9 0 2 内のメモリー・モジュール 1 0 2 2 を中心に構成し、画像処理プロセッサ 1 0 0 4、画像メモリー・アクセス制御部 1 0 2 1 およびバス制御をおこなう画像データ制御部 1 0 0 3 をひとまとまりとして扱う。

#### 【 0 2 0 8 】

また、画像書込ユニット 9 0 4 は、ビデオ・データ制御部 1 0 0 5 を中心に作像ユニット 1 0 0 6 を含む構成である。

#### 【 0 2 0 9 】

これらのユニット構成において、画像読取ユニット 9 0 1 の仕様、性能が変更になった場合、デジタル複合機のシステムでは画像読取ユニット 9 0 1 のみを変更すれば、データ・インターフェースは保持されているので他のユニットは変更する必要がない。また、作像ユニット（エンジン） 1 0 0 6 が変更になった場合、画像書込ユニット 9 0 4 のみ変更すればシステムの再構築が可能となる。

#### 【 0 2 1 0 】

このように、入出力デバイスに依存するユニットは別々な構成でシステムを構築するので、データ・インターフェースが保持されている限り、最小ユニットの交換のみでシステムのアップグレードがおこなえる。

#### 【 0 2 1 1 】

図 1 9 に示した画像エンジン制御ユニット 1 9 0 0 の構成において、画像処理プロセッサ 1 0 0 4、画像データ制御部 1 0 0 3、画像メモリー・アクセス制

御部 1 0 2 1 の各モジュール（構成部）は独立なモジュールで構成する。したがって、画像エンジン制御ユニット 1 9 0 0 からコントローラへの転用は不要なモジュールを削除することで、共通モジュールは汎用的に使用されている。このように、画像エンジン制御用のモジュール、コントローラ用のモジュールを別々に作成せずに、同様な機能は共通のモジュールを使用することで実現している。

#### 【 0 2 1 2 】

##### （画像処理の内容）

つぎに、本実施の形態にかかる画像処理装置の画像処理の内容について説明する。図 2 0 は、本実施の形態にかかる画像処理装置のスキナーの概略（空間フィルターの一例）を示した説明図である。MTF補正機能は空間フィルターの構成により実現する。

#### 【 0 2 1 3 】

図 2 0 において、二次元の空間フィルターが、A～Yまでのフィルター係数をとまって構成される場合に、入力画像データに関しては、全（すべ）ての画像に同一の演算処理でフィルター処理を実施している。たとえば、入力画像データ（ $i$  行、 $j$  列）を中心にして空間フィルター処理をおこなう場合、それぞれ  $i$  行、 $j$  列の画像に対し、対応する係数との演算処理をおこなう。（ $i, j$ ）の画素は係数値  $M$  との演算を、（ $i, j + 1$ ）の画素は係数値  $N$  との演算をそれぞれおこない、フィルターマトリクス内の計算結果が、注目画素（ $i, j$ ）の処理結果として出力される。

#### 【 0 2 1 4 】

注目画素が（ $i, j + 1$ ）の場合、（ $i, j + 1$ ）の画素は係数値  $M$  との演算をおこない、（ $i, j + 2$ ）の画素は係数値  $N$  との演算をおこない、フィルターマトリクス内の計算結果が、注目画素（ $i, j + 1$ ）の処理結果として出力される。

#### 【 0 2 1 5 】

入力画像データが異なり、処理のためのパラメーターが共通な処理となっている。この空間フィルター処理において、係数値 A～Y の値は固定ではなく、入力



画像の特性、所望の画像品質に応じて値は任意に変更できる。また変更できないと画像処理機能の柔軟性が確保できなくなる場合がある。

【0216】

画像処理プロセッサ1004での実施は、係数値をプロセス・コントローラ1011よりダウンロードし、読み取りユニットの構成が変更になり、読み取り画像劣化の特性が変更になっても、ロードするデータの内容を変更することでシステムの変更に対応できる。

【0217】

図21は、本実施の形態にかかる画像処理装置のシェーディング補正の概略を示した説明図である。また、図22は、本実施の形態にかかる画像処理装置のシェーディング・データの概略を示した説明図である。シェーディング補正は照明系の照度分布に基づく反射光特性の不均一性を補正するもので、原稿の読み取りに先立ち濃度が均一な基準白板を読み取り、シェーディング補正のための基準データを生成し、このシェーディング・データに基づき、読み取り画像の読み取り位置に依存する反射分布の正規化をおこなう。

【0218】

図22に示したように、シェーディング・データは、原稿読み取り位置 $n$ に依存して反射分布が異なる。原稿読み取り位置の端部では均一濃度の白板が暗く読まれる。 $S_n$ は読み取り位置 $n$ での白板読み取り信号レベルを示しており、 $S_n$ が大きいほど明るく読まれたことを示している。

【0219】

シェーディング補正は、位置に依存するデータに関して、同一内容の処理を各読み取り画像データに対し実施することでランプの光量分布ムラを補正する。図21に示す $S$ データは、図22に示した白板読み取りによって生成されたシェーディング・データである。また、図21に示した $D$ データは、各読み取りラインの読み取り画像データである。また、 $n$ は読み取り位置を示す。

【0220】

$C$ データは、 $D$ データのシェーディング補正後のデータであり、

$$C_n = A * (D_n / S_n)$$

で正規化される。ここで、Aは正規化係数である。

#### 【0221】

画像処理プロセッサ1004においては、Sデータをローカル・メモリーに格納し、入力されたDデータに対し対応するD<sub>n</sub>、S<sub>n</sub>間で補正演算をおこなう。

#### 【0222】

(データフロー)

つぎに、メモリー・モジュール1022に画像を蓄積する処理について説明する。図23および図24は、本実施の形態にかかるメモリー・モジュール1022に画像を蓄積する処理をとまなうデジタル複合機としての画像処理装置のデータフローを示した説明図である。

#### 【0223】

図23は、読取ユニット1001からメモリー・モジュール1022までの流れを示し、図24は、メモリー・モジュール1022から作像ユニット1006までの流れを示す。なお、各処理は、画像データ制御部1003の制御によりバスおよびユニット間のデータフローが制御されることによりおこなわれる。

#### 【0224】

図23において、読取ユニット1001およびセンサー・ボード・ユニット1002が読み取り制御をおこなう(ステップS2301)。つぎに、画像データ制御部1003が、画像データの入力処理および出力制御をおこなう(ステップS2302)。つぎに、画像処理プロセッサ1004が、入力I/F制御処理をおこない(ステップS2303)、上述したスキャナー画像処理をおこない(ステップS2304)、出力I/F処理をおこなう(ステップS2305)。

#### 【0225】

つぎに、再び、画像データ制御部1003が、画像データの入力処理をおこない(ステップS2306)、データ圧縮(ステップS2307)およびデータ変換(ステップS2308)をおこない、パラレルI/F制御処理をおこなう(ス

テップ S 2 3 0 9)。

【 0 2 2 6 】

つぎに、画像メモリー・アクセス制御部 1 0 2 1 が、パラレル I / F 制御処理をおこない (ステップ S 2 3 1 0)、データ変換 (ステップ S 2 3 1 1) およびさらにデータ圧縮 (ステップ S 2 3 1 2) をおこない、メモリー・モジュール 1 0 2 2 に対してメモリー・アクセス制御をおこなう (ステップ S 2 3 1 3)。それにより、メモリー・モジュール 1 0 2 2 に画像データが記憶される (ステップ S 2 3 1 4)。

【 0 2 2 7 】

また、図 2 4 において、メモリー・モジュール 1 0 2 2 に記憶されている画像データ (ステップ S 2 4 0 1) に対し、画像メモリー・アクセス制御部 1 0 2 1 が、メモリー・アクセス制御をおこない (ステップ S 2 4 0 2)、データ伸張 (ステップ S 2 4 0 3) およびデータ変換 (ステップ S 2 4 0 4) をおこない、パラレル I / F 制御処理をおこなう (ステップ S 2 4 0 5)。

【 0 2 2 8 】

つぎに、画像データ制御部 1 0 0 3 が、パラレル I / F 制御処理をおこない (ステップ S 2 4 0 6)、データ変換 (ステップ S 2 4 0 7) およびデータ伸張 (ステップ S 2 4 0 8) をおこない、画像データ出力制御をおこなう (ステップ S 2 4 0 9)。

【 0 2 2 9 】

つぎに、画像処理プロセッサ 1 0 0 4 が、入力 I / F 制御処理をおこない (ステップ S 2 4 1 0)、画質処理をおこない (ステップ S 2 4 1 1)、出力 I / F 制御処理をおこなう (ステップ S 2 4 1 2)。

【 0 2 3 0 】

つぎに、ビデオ・データ制御部 1 0 0 5 が、エッジ平滑処理をおこない (ステップ S 2 4 1 3)、パルス制御をおこない (ステップ S 2 4 1 4)、その後、作像ユニット 1 0 0 6 が作像処理をおこなう (ステップ S 2 4 1 5)。

【 0 2 3 1 】

読み取り画像データに関しては画像処理プロセッサ 1 0 0 4 でのスキャナ

画像処置を、作像ユニット 1 0 0 6 へ出力のための画像データに関しては画像処理プロセッサ 1 0 0 4 での画質処理を独立に実施する。

#### 【 0 2 3 2 】

また、スキャナ画像処理と画質処理は並行して動作可能であり、読み取り画像はファクシミリ送信に対し実施し、並行してあらかじめメモリー・モジュール 1 0 2 2 に蓄積されている画像データを画質処理の内容を変えながら転写紙へ出力することができる。

#### 【 0 2 3 3 】

(ファクシミリ制御ユニット 1 0 2 4 の構成)

つぎに、ファクシミリ制御ユニット 1 0 2 4 の機能的な構成について説明する。図 2 5 は、本実施の形態における画像処理装置のファクシミリ制御ユニット 1 0 2 4 の構成を示したブロック図である。

#### 【 0 2 3 4 】

図 2 5 のブロック図において、ファクシミリ制御ユニット 1 0 2 4 は、ファクシミリ送受信部 2 5 0 1 と外部 I / F 2 5 0 2 とから構成される。ここで、ファクシミリ送受信部 2 5 0 1 は、画像データを通信形式に変換して外部回線に送信し、また、外部からのデータを画像データに戻して外部 I / F 2 5 0 2 およびパラレルバス 1 0 2 0 を介して作像ユニットにおいて記録出力する。

#### 【 0 2 3 5 】

ファクシミリ送受信部 2 5 0 2 は、ファクシミリ画像処理部 2 5 0 3、画像メモリー 2 5 0 4、メモリー制御部 2 5 0 5、データ制御部 2 5 0 6、画像圧縮伸張部 2 5 0 7、モデム 2 5 0 8 および網制御装置 2 5 0 9 を含む構成である。

#### 【 0 2 3 6 】

このうち、ファクシミリ画像処理に関し、受信画像に対する二値スムージング処理は、図 1 7 に示したビデオ・データ制御部 1 0 0 5 内のエッジ平滑処理部 1 7 0 1 においておこなう。また、画像メモリー 2 5 0 4 に関しても、出力バッファ機能に関しては画像メモリー・アクセス制御部 1 0 2 1 およびメモリー・モジュール 1 0 2 2 にその機能の一部を移行する。

#### 【 0 2 3 7 】

このように構成されたファクシミリ送受信部 2 5 0 1 では、画像データの伝送を開始するとき、データ制御部 2 5 0 6 がメモリー制御部 2 5 0 5 に指令し、画像メモリー 2 5 0 4 から蓄積している画像データを順次読み出させる。読み出された画像データは、ファクシミリ画像処理部 2 5 0 3 によって元の信号に復元されるとともに、密度変換処理および変倍処理がなされ、データ制御部 2 5 0 6 に加えられる。

## 【 0 2 3 8 】

データ制御部 2 5 0 6 に加えられた画像データは、画像圧縮伸張部 2 5 0 7 によって符号圧縮され、モデム 2 5 0 8 によって変調された後、網制御装置 2 5 0 9 を介して宛先へと送出される。そして、送信が完了した画像情報は、画像メモリー 2 5 0 4 から削除される。

## 【 0 2 3 9 】

受信時には、受信画像は一旦画像メモリー 2 5 0 4 に蓄積され、その時に受信画像を記録出力可能であれば、1 枚分の画像の受信を完了した時点で記録出力する。また、複写動作時に発呼されて受信を開始したときは、画像メモリー 2 5 0 4 の使用率が所定値、たとえば 8 0 % に達するまでは画像メモリー 2 5 0 4 に蓄積し、画像メモリー 2 5 0 4 の使用率が 8 0 % に達した場合には、その時に実行している書き込み動作を強制的に中断し、受信画像を画像メモリー 2 5 0 4 から読み出し記録出力する。

## 【 0 2 4 0 】

このとき画像メモリー 2 5 0 4 から読み出した受信画像は画像メモリー 2 5 0 4 から削除し、画像メモリー 2 5 0 4 の使用率が所定値、たとえば 1 0 % まで低下した時点で中断していた書き込み動作を再開し、その書き込み動作を全（すべ）て終了した時点で、残りの受信画像を記録出力する。また、書き込み動作を中断した後に、再開できるように中断時における書き込み動作のための各種パラメーターを内部的に退避し、再開時に、パラメーターを内部的に復帰する。

## 【 0 2 4 1 】

（画像処理方法の一連の処理）

つぎに、本実施の形態にかかる画像処理方法における一連の処理の内容について

て説明する。図 2 6 は、本実施の形態にかかる画像処理方法における一連の処理の手順を示したフローチャートである。

#### 【 0 2 4 2 】

図 2 6 のフローチャートにおいて、まず、画像データ制御部 1 0 0 3 は、他の構成部（ユニット）から画像データを受信したか否かを判断する（ステップ S 2 6 0 1）。ここで、画像データの受信を待って、画像データを受信した場合（ステップ S 2 6 0 1 肯定）は、つぎに、上記受信した画像データに関する画像データ制御情報があるか否かを判断する（ステップ S 2 6 0 2）。

#### 【 0 2 4 3 】

画像データ制御情報とは、すなわち、受信した画像データに対してどのような処理（制御）をするかに関する情報であり、上述したように、処理の種類（複写、ファクシミリ送信、画像読込、プリント等）およびプリント等の場合は処理の枚数等が記憶されている。また通常、画像データ制御情報は、操作者による入力操作により入力されるが、当該入力操作がなくても、画像データの種類等、画像データ特有の特徴により、「画像データ制御情報あり」と判断することができる。

#### 【 0 2 4 4 】

ステップ S 2 6 0 2 において、画像データ制御情報がない場合（ステップ S 2 6 0 2）は、画像データ制御情報の入力要求をおこなう（ステップ S 2 6 0 3）。入力要求としては、たとえば、操作パネル 1 0 3 4 等にその旨を表示することにより操作者に画像データ制御情報の入力を促す等がある。

#### 【 0 2 4 5 】

その後、操作者からの画像データ制御情報の入力（たとえば、操作パネル 1 0 3 4 の操作ボタンの押下等）があったか否かを判断し（ステップ S 2 6 0 4）、画像データ制御情報の入力ない場合（ステップ S 2 6 0 4 否定）は、ステップ S 2 6 0 3 へ移行し、画像データ制御情報の入力があるまで入力要求をおこなう。一方、入力要求があった場合は、ステップ S 2 6 0 5 へ移行する。

#### 【 0 2 4 6 】

ステップ S 2 6 0 5 においては、上記画像データ制御情報を取得する。その後

、取得した画像データ制御情報に基づいて、受信した画像データの送信先が、画像メモリー・アクセス制御部 1 0 2 1 またはファクシミリ制御ユニット 1 0 2 4 であるか否かを判断する（ステップ S 2 6 0 6）。

【 0 2 4 7 】

ステップ S 2 6 0 6 において、受信した画像データの送信先が、画像メモリー・アクセス制御部 1 0 2 1 またはファクシミリ制御ユニット 1 0 2 4 である場合（ステップ S 2 6 0 6 肯定）は、上記画像データをパラレルバス 1 0 2 0 へ送信する（ステップ S 2 6 0 8）。その後、ステップ S 2 6 0 1 へ移行し、新たな画像データの受信を待つ。

【 0 2 4 8 】

一方、ステップ S 2 6 0 6 において、受信した画像データの送信先が、画像メモリー・アクセス制御部 1 0 2 1 またはファクシミリ制御ユニット 1 0 2 4 以外である場合（ステップ S 2 6 0 6 否定）は、つぎに、上記受信した画像データの送信先が、画像処理プロセッサ 1 0 0 4 であるか否かを判断する（ステップ S 2 6 0 7）。

【 0 2 4 9 】

ステップ S 2 6 0 7 において、上記受信した画像データの送信先が、画像処理プロセッサ 1 0 0 4 である場合（ステップ S 2 6 0 7 肯定）は、上記画像データを画像処理プロセッサ 1 0 0 4 へ送信する（ステップ S 2 6 0 9）。送信された画像データは SIMD 型演算部 1 2 0 4 で並列処理される（ステップ S 2 6 1 0）。その後、ステップ S 2 6 0 1 へ移行し、新たな画像データの受信を待つ。

【 0 2 5 0 】

一方、ステップ S 2 6 0 7 において、上記受信した画像データの送信先が、画像処理プロセッサ 1 0 0 4 でない場合（ステップ S 2 6 0 7 否定）は、上記画像データは、書き込みされるデータであると判断し、ビデオ・データ制御部 1 0 0 5 へ送信する（ステップ S 2 6 1 1）。その後、ステップ S 2 6 0 1 へ移行し、新たな画像データの受信を待つ。このようにして、画像データ制御部 1 0 0 3 は画像データの送受信処理を繰り返しおこなう。

## 【0251】

本実施の形態においてはSIMD型プロセッサを画像処理プロセッサ1004に適用した場合を主として説明したが、SIMD型プロセッサは画像処理にのみ使用が限定されるわけではなく、各機能ユニット、具体的には、画像読取ユニット901、画像データ制御ユニット900、画像書込ユニット904、画像メモリー制御ユニット902、ファクシミリ制御ユニット1024のいずれに使用してもよい。

## 【0252】

つぎに、機能分割した場合の装置構成について説明する。

(単体スキャナーのハードウェア構成)

本実施の形態にかかる画像処理装置が単体スキャナーを構成する場合のハードウェア構成について説明する。図27は本実施の形態にかかる画像処理装置のハードウェア構成の別の一例を示したブロック図である。なお、図10に示したハードウェア構成のブロック図と同一の構成部については同一の符号を付してその説明を省略する。

## 【0253】

ハードウェアのシステム構成において図27に示した単体スキャナーと図10に示したデジタル複合機と大きく異なる点は、作像ユニット1006がない点である。作像ユニットが不要なのでビデオ・データ制御部1005も装着されない。

## 【0254】

読取ユニット1001において読み込まれた画像データは、センサー・ボード・ユニット1002においてデジタル変換され、画像データ制御部1003を介して画像処理プロセッサ1004に転送された後、画像処理プロセッサ1004において単体スキャナーとして要求される画像処理をおこなう。

## 【0255】

単体スキャナーとして要求される主な画像処理は、読み取られた画像の劣化補正であるが、画面を使った表示装置に適する階調処理もおこなうことができる。したがって、転写紙を対象とした画質処理とは異なる処理が多い。



## 【 0 2 5 6 】

ここで、画像処理プロセッサ 1 0 0 4 をプログラマブルな演算処理装置（具体的には SIMD 型プロセッサ 1 0 0 もしくは並列処理装置 8 0 0）により構成することで、転写紙への画質処理、画面への階調処理に関して必要な処理手順のみを設定すればよく、画質処理の手順と階調処理の手順を常に両方持ち合わせる必要はないことになる。

## 【 0 2 5 7 】

階調処理後の画像データは画像データ制御部 1 0 0 3 へ転送され、パラレルバス 1 0 2 0 を経由して画像メモリ・アクセス制御部 1 0 2 1 に送信される。ここで、バッファ・メモリとしてメモリ・モジュール 1 0 2 2 を使用し、P C 1 0 2 3 に付属するドライバーに対して画像データを転送することにより、スキャナ機能を実現する。

## 【 0 2 5 8 】

デジタル複合機と同様に、システム・コントローラ 1 0 3 1 とプロセス・コントローラ 1 0 1 1 により画像データおよびシステムのリソース管理をおこなう。

## 【 0 2 5 9 】

（単体プリンターのハードウェア構成）

つぎに、本実施の形態にかかる画像処理装置が単体プリンターを構成する場合のハードウェア構成について説明する。図 2 8 は本実施の形態にかかる画像処理装置のハードウェア構成の別の一例を示したブロック図である。なお、図 1 0 に示したハードウェア構成のブロック図と同一の構成部については同一の符号を付してその説明を省略する。

## 【 0 2 6 0 】

ハードウェアのシステム構成において図 2 8 に示した単体プリンターと図 1 0 に示したデジタル複合機と大きく異なる点は、読取ユニット 1 0 0 1 が無い点である。画像の読み取りが不要なのでセンサー・ボード・ユニット 1 0 0 2、画像処理プロセッサ 1 0 0 4 とともに装着されない。また、画像データはパラレルバス 1 0 2 0 からビデオ・データ制御部 1 0 0 5 へ直結するため画像データ制御部 1

0 0 3 も不要とすることができる。この場合は、ビデオ・データ制御部 1 0 0 5 に SIMD 型プロセッサを用いてもよい。たとえばエッジ平滑処理部 1 7 0 1 に使用してもよい。

#### 【 0 2 6 1 】

PC 1 0 2 3 からプリント出力するための画像データ（コードデータ）は画像メモリー・アクセス制御部 1 0 2 1 から入力する。画像メモリー・アクセス制御部 1 0 2 1 においてシステム・コントローラー 1 0 3 1 の制御のもと、コードデータを画像データに展開する。展開先のメモリーはメモリー・モジュール 1 0 2 2 を使用する。

#### 【 0 2 6 2 】

つぎに、メモリー・モジュール 1 0 2 2 から画像データを読み出し、パラレルバス 1 0 2 0 を経由してビデオ・データ制御部 1 0 0 5 へ転送する。ビデオ・データ制御部 1 0 0 5 ではドット再配置、パルス制御をおこない、作像ユニット 1 0 0 6 において転写紙上に再生画像を形成する。

#### 【 0 2 6 3 】

システム・コントローラー 1 0 3 1 による画像データの展開、プロセス・コントローラー 1 0 1 1 による画像データの出力をそれぞれおこなう。システム・コントローラー 1 0 3 1 とプロセス・コントローラー 1 0 1 1 間のパラレルデータとシリアルデータのフォーマット変換はビデオ・データ制御部 1 0 0 5 内でおこなうようにしてもよい。

#### 【 0 2 6 4 】

単体プリンターとしての装置構成の一例を図 2 9 に示す。単体プリンターにおいては、デジタル複合機と同じ作像ユニット（エンジン） 1 0 0 6 を使う場合、デジタル複写機と画像書込ユニット 9 0 4 を共有することができる。

#### 【 0 2 6 5 】

画像処理装置を単体プリンターとして用いる場合は、画像読取ユニット 9 0 1 は必要なく、デジタル複合機のシステム構成から画像読取ユニット 9 0 1 は取り除く。画像エンジン制御ユニット 1 9 0 0 はデジタル複合機と共通にしても機能は達成できるが、スペックオーバーとなる。また、画像処理プロセッサ 1 0 0

4は不要であるため、システムに最適なコントローラーを別な基板で構成し、コストの最適化を図ることができる。

【0266】

また、図30および図31は、本実施の形態にかかるメモリー・モジュール1022に画像を蓄積する処理をとみなう単体プリンターとしての画像処理装置のデータフローを示した説明図である。図30は、PC1023からメモリー・モジュール1022までの流れを示し、図31は、メモリー・モジュール1022から作像ユニット1006までの流れを示す。

【0267】

図30において、PC1023が画像データを出力し（ステップS3001）、画像メモリー・アクセス制御部1021がラインバッファーによりに画像データを保持し（ステップS3002）、ビデオ制御し（ステップS3003）、データ変換（ステップS3004）およびデータ圧縮（ステップS3005）をおこない、メモリー・モジュール1022に対してメモリー・アクセス制御をおこなう（ステップS3006）。それにより、画像データはメモリー・モジュール1022に記憶される。

【0268】

図31において、メモリー・モジュール1022に記憶されている画像データ（ステップS3101）に対し、画像メモリー・アクセス制御部1021が、メモリー・アクセス制御をおこない（ステップS3102）、データ伸張（ステップS3103）およびデータ変換（ステップS3104）をおこない、パラレルI/F制御処理をおこなう（ステップS3105）。

【0269】

つぎに、ビデオ・データ制御部1005が、エッジ平滑処理をおこない（ステップS3106）、パルス制御をおこない（ステップS3107）、その後、作像ユニット1006が作像処理をおこなう（ステップS3108）。

【0270】

このように、PC1023からのコードデータを画像データに変換し一旦メモリー・モジュール1022に蓄積すれば、複数部数を出力する場合、データの展

開時間は1回だけであるので、毎回展開処理するコントローラーに比べ、印字パフォーマンスは向上する。

#### 【0271】

また、メモリー・モジュール1022から読み出された画像データはビデオ・データ制御部1005での後処理の内容を変更することで、同一画像に対し複数のバリエーションで転写紙に再生画像を形成できる。さらにSIMD型プロセッサ100を使用して高速に処理することができる。なお、ビデオ・データ制御部1005のエッジ平滑処理、パルス制御処理のパラメーターを変更するたびにコードデータを画像データに展開する必要はない。

#### 【0272】

以上説明したように、本実施の形態にかかる画像処理装置は、SIMD型プロセッサを用いて画像データの処理パフォーマンスの最適化を図ることができ、これにより、多機能を実現する際のシステムにおける各資源の有効活用を図り、システム全体として最適な制御が可能となる。

#### 【0273】

また、本実施の形態にかかる画像処理装置は、画像メモリーを有効に活用することができるとともに、蓄積画像の処理の最適化を図ることができ、画像メモリー制御の入出力デバイスへの適応化を制御することができる。また、画像データの画像処理の最適化を図ることができ、画像処理の入出力デバイスへの適応化を制御することができる。

#### 【0274】

また、プログラムを変更することにより、システム仕様変更、機能追加に容易に対応することができる。また、画像処理手段がSIMD型プロセッサにより構成されるので、高速な演算処理により画像処理をおこなうことができる。

#### 【0275】

また、ファクシミリ画像の送受信処理において、画像メモリーを有効利用することができる。

#### 【0276】

また、画像読取ユニットおよび／または画像データ制御ユニットおよび／また

は画像メモリ制御ユニットおよび／または画像処理ユニットおよび／または画像書込ユニットおよび／またはファクシミリ制御ユニットをそれぞれ独立のユニットとして構成するので、MFP、単体スキャナー、単体プリンター等、データ処理系が似ている機器の作り分けを容易におこなうことができ、低コストで多機能なシステムを構築できる。

#### 【0277】

また、画像データ制御情報を入力するので、入力された画像データ制御情報により画像データの処理パフォーマンスの最適化を図ることができる。さらに、画像処理アルゴリズムおよび処理のためのパラメーターを容易に更新でき、プロセッサやデータ転送のパフォーマンスが異なるシステムでも最小限のユニットの変更のみでシステムに追従でき、メモリーを複数の機能動作で有効に利用することができる。これにより、設計者がデジタル複合機の機能の向上を容易に図ることができ、かつ、デジタル複合機を利用する利用者に対して最新のアルゴリズムの提供をうけることができる。

#### 【0278】

なお、本実施の形態で説明した画像処理方法は、あらかじめ用意されたプログラムをパーソナル・コンピュータやワークステーション等のコンピュータで実行することにより実現することができる。このプログラムは、ハードディスク、フロッピーディスク、CD-ROM、MO、DVD等のコンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。またこのプログラムは、上記記録媒体を介して、インターネット等のネットワークを介して配布することができる。

#### 【0279】

#### 【発明の効果】

以上説明したように、請求項1に記載の発明によれば、並列処理手段が与えられたデータに対して演算処理を施す演算手段を複数用いて並列処理をおこない、データ付与手段が前記並列処理手段に対して演算処理されるべきデータを付与し、命令付与手段が前記演算手段のそれぞれに対して前記演算処理を施すための同一の命令を付与し、入力手段が前記並列処理手段において並列処理されるべき他

の並列処理がある旨の割込要求を入力し、判断手段が前記入力手段により入力された割込要求にかかる並列処理である割込処理をおこなうべきか否かを判断し、中断手段が前記判断手段により前記割込処理をおこなうべきと判断された場合に前記並列処理手段によりおこなわれている並列処理を中断し、制御手段が前記データ付与手段と前記命令付与手段とを制御して前記中断手段により中断された並列処理に替えて前記割込処理において演算処理されるべきデータを前記並列処理手段へ付与し前記割込処理をおこなうために必要な同一の命令を前記演算手段のそれぞれに付与するので、処理を即座に中断して割込処理を実行することができ、これにより、並列処理を効率的におこなうことが可能なSIMD型プロセッサが得られるという効果を奏する。

## 【 0 2 8 0 】

また、請求項2に記載の発明によれば、請求項1に記載の発明において、命令格納手段が前記命令を格納するので、割込処理を含め並列処理に必要な命令をプロセッサ外部からロードすることなく、割込処理を含め並列処理を即座に実行することができ、これにより、並列処理を効率的におこなうことが可能なSIMD型プロセッサが得られるという効果を奏する。

## 【 0 2 8 1 】

また、請求項3に記載の発明によれば、請求項1または2に記載の発明において、格納手段が前記中断手段により中断された時点のデータおよび命令から構成される中断情報を格納し、検知手段が前記割込処理が終了したか否かを検知し、送信手段が前記検知手段により前記割込処理が終了したと検知された場合に前記格納手段により格納された前記中断情報を元の場所に送信するので、中断した処理の状態をプロセッサ内部に即座に格納し、中断した処理の状態に即座に復帰でき、これにより、並列処理を効率的におこなうことが可能なSIMD型プロセッサが得られるという効果を奏する。

## 【 0 2 8 2 】

また、請求項4に記載の発明によれば、請求項2または3に記載の発明において、さらに、プログラムカウンタ、および、前記演算手段において使用されるアキュムレータを備え、前記命令格納手段により格納された命令が前記プログラム

カウンタにより指定され、前記演算手段が前記アキュムレータを用いて前記演算処理を施すので、いわゆる 1 アドレス方式の処理が可能となり、命令の長さを短くすることができ、これにより、並列処理を効率的におこなうことが可能な SIMD 型プロセッサが得られるという効果を奏する。

## 【 0 2 8 3 】

また、請求項 5 に記載の発明によれば、請求項 3 に記載の発明において、さらに、プログラムカウンタ、前記演算手段において使用されるアキュムレータおよびレジスター、並びに、前記データ付与手段により付与されたデータを格納するデータレジスターを備え、前記中断情報が、前記中断手段により中断された時点のプログラムカウンタ値、アキュムレータおよびレジスターの内容、並びに、データレジスターに格納されたデータから構成されたので、中断した時点に並列処理されていた処理命令などを改めてデコードすることなく、処理を中断した時点のプロセッサの状態に復元することができ、これにより、並列処理を効率的におこなうことが可能な SIMD 型プロセッサが得られるという効果を奏する。

## 【 0 2 8 4 】

また、請求項 6 に記載の発明によれば、請求項 3 に記載の発明において、前記演算手段により施される演算処理に必要な各種パラメーターデータを前記格納手段に格納したので、プロセッサ構成を簡素化することができ、これにより、並列処理を効率的におこなうことが可能な SIMD 型プロセッサが得られるという効果を奏する。

## 【 0 2 8 5 】

また、請求項 7 に記載の発明によれば、並列処理手段が与えられたデータに対して演算処理を施す演算手段を複数用いて並列処理をおこない、データ付与手段が前記並列処理手段に対して演算処理されるべきデータを付与し、命令付与手段が前記演算手段のそれぞれに対して前記演算処理を施すための同一の命令を付与し、入力手段が前記並列処理手段において並列処理されるべき他の並列処理がある旨の割込要求を入力し、判断手段が前記入力手段により入力された割込要求にかかる並列処理である割込処理をおこなうべきか否かを判断し、中断手段が前記判断手段により前記割込処理をおこなうべきと判断された場合に前記並列処理手

段によりおこなわれている並列処理を中断し、制御手段が前記データ付与手段と前記命令付与手段とを制御して前記中断手段により中断された並列処理に替えて前記割込処理において処理されるべきデータを前記並列処理手段へ付与し前記割込処理をおこなうために必要な同一の命令を前記演算手段のそれぞれに付与するので、処理を即座に中断して割込処理を実行することができ、これにより、並列処理を効率的におこなうことが可能な並列処理装置が得られるという効果を奏する。

## 【 0 2 8 6 】

また、請求項 8 に記載の発明によれば、請求項 7 に記載の発明において、命令格納手段が前記命令を格納するので、割込処理を含め並列処理に必要な命令を内蔵して、割込処理を含め並列処理を実行することができ、これにより、並列処理を効率的におこなうことが可能な並列処理装置が得られるという効果を奏する。

## 【 0 2 8 7 】

また、請求項 9 に記載の発明によれば、請求項 7 または 8 に記載の発明において、格納手段が前記中断手段により中断された時点のデータおよび命令から構成される中断情報を格納し、検知手段が前記割込処理が終了したか否かを検知し、送信手段が前記検知手段により前記割込処理が終了したと検知された場合に前記格納手段により格納された前記中断情報を元の場所に送信するので、中断した処理の状態を計算機内部に格納し、中断した処理の状態に復帰でき、これにより、並列処理を効率的におこなうことが可能な並列処理装置が得られるという効果を奏する。

## 【 0 2 8 8 】

また、請求項 1 0 に記載の発明によれば、請求項 7 または 8 に記載の発明において、さらに、プログラムカウンタ、および、前記演算手段において使用されるアキュムレータを備え、前記命令格納手段により格納された命令が前記プログラムカウンタにより指定され、前記演算手段が前記アキュムレータを用いて前記演算処理を施すので、いわゆる 1 アドレス方式の処理が可能となり、命令の長さを短くすることができ、これにより、並列処理を効率的におこなうことが可能な並列処理装置が得られるという効果を奏する。



## 【 0 2 8 9 】

また、請求項 1 1 に記載の発明によれば、請求項 9 に記載の発明において、さらに、プログラムカウンタ、前記演算手段において使用されるアキュムレータおよびレジスター、並びに、前記データ付与手段により付与されたデータを格納するデータレジスターを備え、前記中断情報が、前記中断手段により中断された時点のプログラムカウンタ値、アキュムレータおよびレジスターの内容、並びに、データレジスターに格納されたデータから構成されたので、中断した時点に並列処理されていた処理命令などを改めてデコードすることなく、処理を中断した時点のプロセッサの状態に復元することができ、これにより、並列処理を効率的におこなうことが可能な並列処理装置が得られるという効果を奏する。

## 【 0 2 9 0 】

また、請求項 1 2 に記載の発明によれば、請求項 9 に記載の発明において、前記演算手段により施される演算処理に必要な各種パラメーターデータを前記格納手段に格納したので、バス管理を簡略化することができ、これにより、並列処理を効率的におこなうことが可能な並列処理装置が得られるという効果を奏する。

## 【 0 2 9 1 】

また、請求項 1 3 に記載の発明によれば、画像データ制御手段が、画像データを読み取る画像読取手段および／または画像メモリーを制御して画像データの書込み／読出しをおこなう画像メモリー制御手段および／または画像データを転写紙等へ書き込む画像書込手段と、画像データに対し加工編集等の画像処理を施す画像処理手段に接続し、前記画像読取手段により読み取られた第 1 の画像データ、前記画像メモリー制御手段により読み出された第 2 の画像データおよび前記画像処理手段により画像処理が施された第 3 の画像データのうち、少なくとも前記第 3 の画像データを受信し、前記第 1 の画像データ、前記第 2 の画像データおよび前記第 3 の画像データのうち、少なくとも前記第 3 の画像データを前記画像メモリー制御手段へおよび／または前記画像処理手段へおよび／または前記画像書込手段へ送信し、前記各手段のうち少なくとも前記画像処理手段に請求項 1 ～ 6 のいずれか一つに記載の SIMD 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたので、割込処理可能な SIMD 型プロセ

ッサーもしくは並列処理装置を用いて、画像データの処理パフォーマンスの最適化を図ることができ、これにより、多機能を実現する際のシステムにおける各資源の有効活用を図りつつ、システム全体として最適な画像処理をおこなうことが可能な画像処理装置が得られるという効果を奏する。

【 0 2 9 2 】

また、請求項 1 4 に記載の発明によれば、画像メモリ制御手段が、画像データを読み取る画像読取手段および／または画像データを転写紙等へ書き込む画像書込手段と、画像データに対し加工編集等の画像処理を施す画像処理手段に接続し、前記画像読取手段により読み取られた第 1 の画像データと前記画像処理手段により画像処理が施された第 2 の画像データのうち、少なくとも前記第 2 の画像データを受信し、前記第 1 の画像データと第 2 の画像データのうち、少なくとも前記第 2 の画像データを画像メモリに記憶するとともに、前記画像メモリに記憶されている画像データを前記画像処理手段へおよび／または前記画像書込手段へ送信し、前記各手段のうち少なくとも前記画像処理手段に請求項 1 ～ 6 のいずれか一つに記載の SIMD 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたので、画像メモリを有効に活用することができるとともに、割込処理可能な SIMD 型プロセッサもしくは並列処理装置を介して蓄積画像の処理の最適化を図ることができ、これにより、多機能を実現する際のシステムにおける各資源の有効活用を図りつつ、システム全体として最適な画像処理をおこなうことが可能な画像処理装置が得られるという効果を奏する。

【 0 2 9 3 】

また、請求項 1 5 に記載の発明によれば、請求項 1 4 に記載の発明において、前記画像メモリ制御手段が、画像データ制御手段を介して、前記画像処理手段と、前記画像読取手段および／または前記画像書込手段に接続し、前記画像データ制御手段が、前記画像メモリ制御手段と、前記画像処理手段と、前記画像読取手段および／または前記画像書込手段との間の画像データの送受信をおこなうので、画像メモリ制御手段の入出力デバイスへの適応化を図ることができ、これにより、多機能を実現する際のシステムにおける各資源の有効活用を図りつつ

、システム全体として最適な画像処理をおこなうことが可能な画像処理装置が得られるという効果を奏する。

【 0 2 9 4 】

また、請求項 1 6 に記載の発明によれば、画像処理手段が、画像データを読み取る画像読取手段および／または画像メモリーを制御して画像データの書込み／読出しをおこなう画像メモリー制御手段および／または画像データを転写紙等へ書き込む画像書込手段に接続し、前記画像読取手段により読み取られた第 1 の画像データおよび／または前記画像メモリー制御手段により読み出された第 2 の画像データを受信し、前記第 1 の画像データおよび／または第 2 の画像データに対し加工編集等の画像処理を施すとともに、前記画像処理が施された画像データを前記画像メモリー制御手段へおよび／または前記画像書込手段へ送信し、前記各手段のうち少なくとも前記画像処理手段に請求項 1 ～ 6 のいずれか一つに記載の SIMD 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたので、割込可能な SIMD プロセッサもしくは並列処理装置を用いて画像処理の最適化を図ることができ、これにより、多機能を実現する際のシステムにおける各資源の有効活用を図りつつ、システム全体として最適な画像処理をおこなうことが可能な画像処理装置が得られるという効果を奏する。

【 0 2 9 5 】

また、請求項 1 7 に記載の発明によれば、請求項 1 6 に記載の画像処理装置において、前記画像処理手段が、画像データ制御手段を介して、前記画像読取手段および／または前記画像メモリー制御手段および／または前記画像書込手段に接続し、前記画像データ制御手段が、前記画像処理手段と、前記画像読取手段および／または前記画像メモリー制御手段および／または前記画像書込手段との間の画像データの送受信をおこなうので、画像処理の入出力デバイスへの適応化を制御することができ、これにより、多機能を実現する際のシステムにおける各資源の有効活用を図りつつ、システム全体として最適な画像処理をおこなうことが可能な画像処理装置が得られるという効果を奏する。

【 0 2 9 6 】

また、請求項 1 8 に記載の発明によれば、請求項 1 3 ～ 1 7 のいずれか一つに

記載の発明において、ファクシミリ制御手段が前記画像メモリー制御手段および／または前記画像データ制御手段に接続し、ファクシミリ画像の送受信をおこなうので、ファクシミリ画像の送受信処理において、画像メモリーを有効活用することができ、入出力される画像データを割込可能なSIMD型プロセッサもしくは並列処理装置を用いて画像処理することができ、これにより、多機能を実現する際のシステムにおける各資源の有効活用を図りつつ、システム全体として最適な画像処理をおこなうことが可能な画像処理装置が得られるという効果を奏する。

## 【 0 2 9 7 】

また、請求項19に記載の発明によれば、請求項13～18のいずれか一つに記載の発明において、前記画像読取手段および／または前記画像データ制御手段および／または前記画像メモリー制御手段および／または前記画像処理手段および／または前記画像書込手段および／または前記ファクシミリ制御手段をそれぞれ独立のユニットとして構成したので、機器の作り分けを容易におこなうことができ、低コストで多機能なシステムを構築でき、これにより、多機能を実現する際のシステムにおける各資源の有効活用を図りつつ、システム全体として最適な画像処理をおこなうことが可能な画像処理装置が得られるという効果を奏する。

## 【 0 2 9 8 】

また、請求項20に記載の発明によれば、請求項1～6のいずれか一つに記載のSIMD型プロセッサもしくは請求項7～12のいずれか一つに記載の並列処理装置を備えたので、画像データを並列処理する複写機に割込処理を実行させることができ、これにより、並列処理を効率的におこなうことが可能な複写機が得られるという効果を奏する。

## 【 0 2 9 9 】

また、請求項21に記載の発明によれば、請求項1～6のいずれか一つに記載のSIMD型プロセッサもしくは請求項7～12のいずれか一つに記載の並列処理装置を備えたので、画像データを並列処理するプリンターに割込処理を実行させることができ、これにより、並列処理を効率的におこなうことが可能なプリンターが得られるという効果を奏する。

## 【 0 3 0 0 】

また、請求項 2 2 に記載の発明によれば、請求項 1 ～ 6 のいずれか一つに記載の SIMD 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたので、画像データを並列処理するファクシミリ装置に割込処理を実行させることができ、これにより、並列処理を効率的におこなうことが可能なファクシミリ装置が得られるという効果を奏する。

## 【 0 3 0 1 】

また、請求項 2 3 に記載の発明によれば、請求項 1 ～ 6 のいずれか一つに記載の SIMD 型プロセッサもしくは請求項 7 ～ 1 2 のいずれか一つに記載の並列処理装置を備えたので、画像データを並列処理するスキャナーに割込処理を実行させることができ、これにより、並列処理を効率的におこなうことが可能なスキャナーが得られるという効果を奏する。

## 【 0 3 0 2 】

また、請求項 2 4 に記載の発明によれば、データ付与工程が並列処理を施されるべきデータを付与し、命令付与工程が並列処理を施すために必要な命令を付与し、並列処理工程が前記データ付与工程により付与されたデータに対して前記命令付与工程により付与された命令に基づいて並列処理を施し、入力工程が前記並列処理工程において並列処理が施されている際に並列処理されるべき他の並列処理がある旨の割込要求を入力し、判断工程が前記入力工程により入力された割込要求にかかる並列処理である割込処理を施すべきか否かを判断し、中断工程が前記判断工程により前記割込処理を施すべきと判断された場合に前記並列処理工程により施されている並列処理を中断し、置換工程が前記中断工程により中断された並列処理に替えて前記割込処理において並列処理を施されるべきデータと前記割込処理を施すために必要な命令を付与するので、処理を即座に中断して割込処理を実行することができ、これにより、並列処理を効率的におこなうことが可能な並列処理方法が得られるという効果を奏する。

## 【 0 3 0 3 】

また、請求項 2 5 に記載の発明によれば、請求項 2 4 に記載の発明において、退避工程が前記中断工程により中断された時点のデータおよび命令を退避し、検

知工程が前記割込処理が終了したか否かを検知し、復帰工程が前記検知工程により前記割込処理が終了したと検知された場合に前記退避工程により退避されたデータおよび命令を前記中断工程により中断された時点の状態に復帰するので、中断した並列処理を退避・復帰することができ、これにより、並列処理を効率的におこなうことが可能な並列処理方法が得られるという効果を奏する。

#### 【 0 3 0 4 】

また、請求項 2 6 に記載の発明によれば、画像データ受信工程が、画像データの読取処理、蓄積処理、画像（加工編集）処理、書込処理、送受信処理等、画像データに対する異なる処理をするための複数種の処理ユニットのうち、いずれかの処理ユニットから画像データを受信し、画像データ制御情報取得工程が前記画像データ受信工程により受信した画像データに対する処理の内容に関する情報を含む画像データ制御情報を取得し、送信先処理ユニット決定工程が前記画像データ制御情報取得工程により取得した画像データ制御情報に基づいて前記画像データ受信工程により受信した画像データを送信する送信先処理ユニットを決定し、送信工程が前記送信先処理ユニット決定工程により決定された送信先処理ユニットへ前記画像データを送信し、前記複数種の処理ユニットのうち、少なくとも、一つの処理ユニットにおける画像データに対する処理について前記請求項 2 4 または 2 5 に記載の並列処理方法を含んだので、実行中の並列処理に替えて割込処理をおこない、画像データの処理パフォーマンスの最適化を図ることができ、これにより、多機能を実現する際のシステムにおける各資源の有効活用を図りつつ、システム全体として最適な画像処理をおこなうことが可能な画像処理方法が得られるという効果を奏する。

#### 【 0 3 0 5 】

また、請求項 2 7 に記載の発明によれば、請求項 2 6 に記載の発明において、制御情報入力工程が前記画像データ制御情報を入力し、前記画像データ制御情報取得工程では、前記制御情報入力工程により入力された画像データ制御情報を取得するので、入力された画像データ制御情報により画像データの処理パフォーマンスの最適化を図ることができ、これにより、多機能を実現する際のシステムにおける各資源の有効活用を図りつつ、システム全体として最適な画像処理をおこ

なうことが可能な画像処理方法が得られるという効果を奏する。

【 0 3 0 6 】

また、請求項 2 8 に記載の発明によれば、請求項 2 6 または 2 7 に記載の発明において、画像データに対する情報劣化を補正する補正処理、もしくは、前記補正処理により補正された画像データまたは画像データに対して作像特性に対応した画質処理に前記画像処理方法を使用したので、読み取られた画像データの画像処理の最適化を図ることができ、これにより、多機能を実現する際のシステムにおける各資源の有効活用を図りつつ、システム全体として最適な画像処理をおこなうことが可能な画像処理方法が得られるという効果を奏する。

【 0 3 0 7 】

また、請求項 2 9 に記載の発明にかかる記録媒体は、前記請求項 2 4 ～ 2 8 のいずれか一つに記載された方法をコンピュータに実行させるプログラムを記録したことで、そのプログラムを機械読み取り可能となり、これによって、請求項 2 4 ～ 2 8 の動作をコンピュータによって実現することが可能な記録媒体が得られるという効果を奏する。

【図面の簡単な説明】

【図 1】

実施の形態 1 にかかる SIMD 型プロセッサの構成の一例を示した図である。

【図 2】

実施の形態 1 の SIMD 型プロセッサの動作を説明するフローチャートである。

【図 3】

実施の形態 1 の SIMD 型プロセッサにおいて処理の退避および復帰を説明するフローチャートである。

【図 4】

グローバルプロセッサの制御の下、ジョブ 2 の中断情報をデータ RAM に格納する様子を示した模式図である。

【図 5】

グローバルプロセッサの制御の下、データRAMに格納した中断情報を復帰させる様子を示した模式図である。

【図 6】

プログラムRAMに格納された処理プログラムの一例を示した図である。

【図 7】

データRAMの使用態様の一例を示した概念図である。

【図 8】

実施の形態 2 にかかる並列処理装置の構成の一例を示した図である。

【図 9】

実施の形態 3 にかかる画像処理装置の構成を機能的に示したブロック図である。

【図 1 0】

実施の形態 3 にかかる画像処理装置のハードウェア構成の一例を示したブロック図である。

【図 1 1】

実施の形態 3 にかかる画像処理装置の画像処理プロセッサの処理の概要を機能的に示したブロック図である。

【図 1 2】

実施の形態 3 にかかる画像処理装置の画像処理プロセッサの内部構成を示したブロック図である。

【図 1 3】

図 1 2 に示した画像処理プロセッサの内部構成を詳細に示したブロック図である。

【図 1 4】

実施の形態 3 の SIMD 型演算部の概略構成を示した説明図である。

【図 1 5】

実施の形態 3 の SIMD 型演算部において逐次型の処理をおこなうことができるレジスタの格納の仕方を説明する説明図である。

【図 1 6】



実施の形態 3 にかかる画像処理装置の画像データ制御部の処理の概要を示したブロック図である。

【図 1 7】

実施の形態 3 にかかる画像処理装置のビデオ・データ制御部の処理の概要を示したブロック図である。

【図 1 8】

実施の形態 3 にかかる画像処理装置の画像メモリー・アクセス制御部の処理の概要を示したブロック図である。

【図 1 9】

画像処理装置がデジタル複合機の場合のユニット構成の一例を示したブロック図である。

【図 2 0】

実施の形態 3 にかかる画像処理装置のスキャナーの概略（空間フィルターの一例）を示した説明図である。

【図 2 1】

実施の形態 3 にかかる画像処理装置のシェーディング補正の概略を示した説明図である。

【図 2 2】

実施の形態 3 にかかる画像処理装置のシェーディング・データの概略を示した説明図である。

【図 2 3】

実施の形態 3 にかかるメモリー・モジュールに画像を蓄積する処理をともなうデジタル複合機としての画像処理装置のデータフローを示した説明図である。

【図 2 4】

実施の形態 3 にかかるメモリー・モジュールに画像を蓄積する処理をともなうデジタル複合機としての画像処理装置のデータフローを示した説明図である。

【図 2 5】

実施の形態 3 における画像処理装置のファクシミリ制御ユニットの構成を示したブロック図である。

【図 2 6】

実施の形態 3 にかかる画像処理方法における一連の処理の手順を示したフローチャートである。

【図 2 7】

実施の形態 3 にかかる画像処理装置のハードウェア構成の別の一例を示したブロック図である。

【図 2 8】

実施の形態 3 にかかる画像処理装置のハードウェア構成の別の一例を示したブロック図である。

【図 2 9】

単体プリンターとしての装置構成の一例を示した図である。

【図 3 0】

実施の形態 3 にかかるメモリー・モジュールに画像を蓄積する処理をともなう単体プリンターとしての画像処理装置のデータフローを示した説明図である。

【図 3 1】

実施の形態 3 にかかるメモリー・モジュールに画像を蓄積する処理をともなう単体プリンターとしての画像処理装置のデータフローを示した説明図である。

【図 3 2】

従来のマイクロプロセッサにおける演算処理の中心となる部分の一例を示した概略ブロック図である。

【図 3 3】

従来技術にかかるデジタル複合機のハードウェア構成の一例を示したブロック図である。

【図 3 4】

SIMD 型プロセッサの演算処理の中心となる部分の一例を示した概略ブロック図である。

【符号の説明】

1 0 0 SIMD 型プロセッサ

1 0 1 SIMD 型演算部

- 1 0 2 グローバルプロセッサ
- 1 0 3 プログラム R A M
- 1 0 4 データ R A M
- 1 0 5 A L U
- 1 0 6 レジスター
- 1 0 7 データレジスター群
- 8 0 0 並列処理装置
- 8 0 1 中央処理装置
- 8 0 2 記憶装置
- 8 0 3 入出力装置
- 8 0 4 バス
- 8 1 0 S I M D 型演算部
- 8 2 0 制御装置
- 8 3 0 結合網
- 8 4 0 プログラム R A M
- 8 5 0 データ R A M
- 8 6 0 入力装置
- 8 7 0 出力装置
- 8 8 0 補助記憶装置
- 9 0 0 画像データ制御ユニット
- 9 0 1 画像読取ユニット
- 9 0 2 画像メモリー制御ユニット
- 9 0 3 画像処理ユニット
- 9 0 4 画像書込ユニット
- 1 0 0 1 読取ユニット
- 1 0 0 2 センサー・ボード・ユニット
- 1 0 0 3 画像データ制御部
- 1 0 0 4 画像処理プロセッサ
- 1 0 0 5 ビデオ・データ制御部

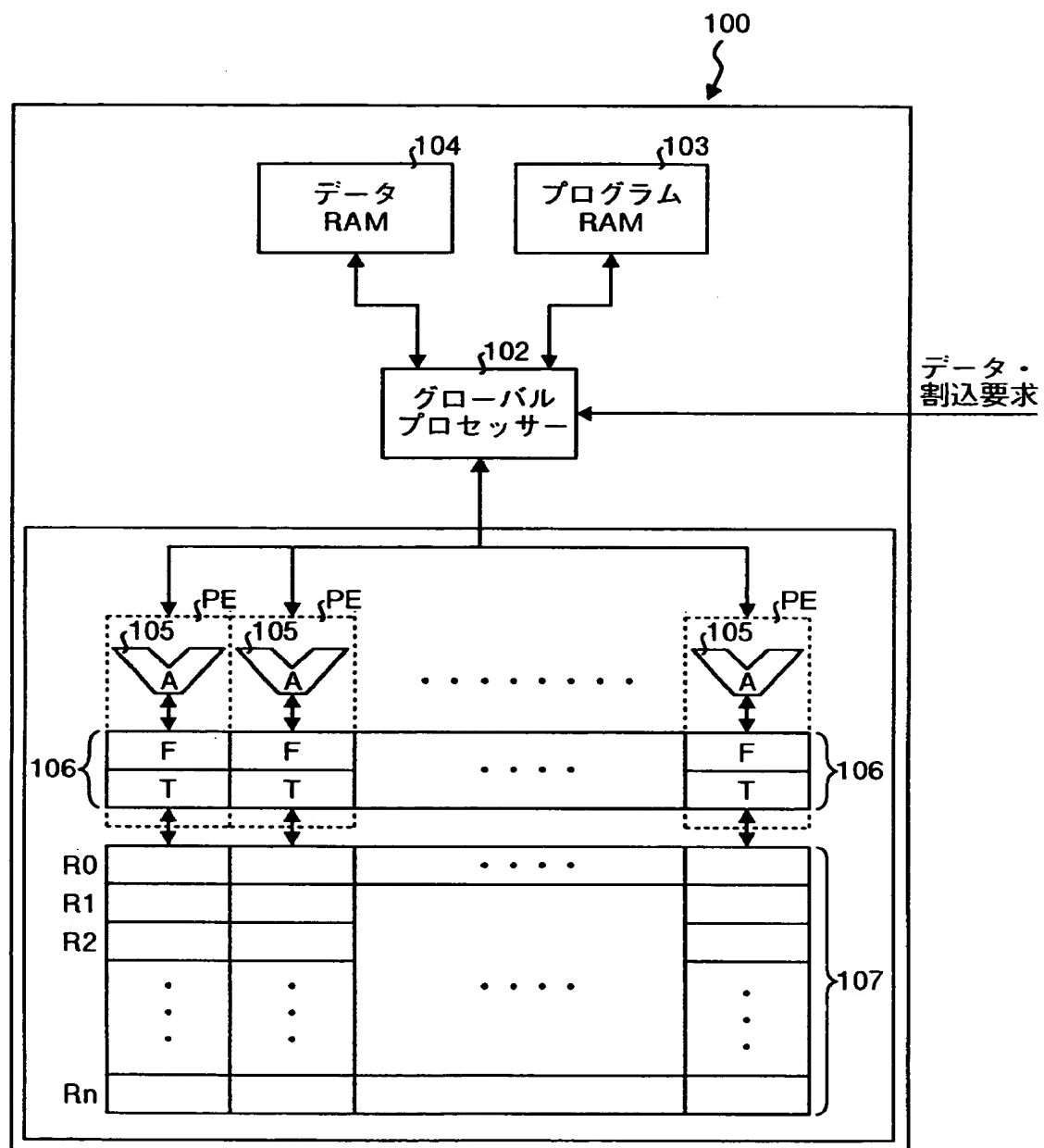
- 1 0 0 6 作像ユニット
- 1 0 1 0 シリアルバス
- 1 0 1 1 プロセス・コントローラー
- 1 0 2 0 パラレルバス
- 1 0 2 1 画像メモリー・アクセス制御部
- 1 0 2 2 メモリー・モジュール
- 1 0 2 4 ファクシミリ制御ユニット
- 1 0 3 1 システム・コントローラー
- 1 0 3 4 操作パネル
- 1 1 0 2 スキャナー画像処理部
- 1 1 0 5 画質処理部
- 1 2 0 1 入出力ポート
- 1 2 0 2 ローカル・メモリー群
- 1 2 0 3 メモリー制御部
- 1 2 0 4 SIMD型演算部
- 1 2 0 5 プログラムRAM
- 1 2 0 6 データRAM
- 1 2 0 7 ホスト・バッファ
- 1 2 0 9 グローバルプロセッサ
- 1 4 0 1 レジスター
- 1 4 0 2 マルチプレクサー
- 1 4 0 5 アキュムレータ
- 1 4 0 6 テンポラリー・レジスター
- 1 6 0 1 画像データ入出力制御部
- 1 6 0 2 画像データ入力制御部
- 1 6 0 3 データ圧縮部
- 1 6 0 4 データ変換部
- 1 6 0 6 データ伸張部
- 1 6 0 7 画像データ出力制御部

- 1 6 1 0 コマンド制御部
- 1 7 0 1 エッジ平滑処理部
- 1 7 0 2 パルス制御部
- 1 7 0 5 データ変換部
- 1 8 0 3 メモリー・アクセス制御部
- 1 8 0 5 ビデオ制御部
- 1 8 0 6 データ圧縮部
- 1 8 0 7 データ伸張部
- 1 8 0 8 データ変換部
- 1 9 0 0 画像エンジン制御ユニット
- 1 9 0 2 変換モジュール
- 1 9 0 3 ゲイン制御モジュール
- 2 5 0 1 ファクシミリ送受信部
- 2 5 0 2 ファクシミリ送受信部
- 2 5 0 3 ファクシミリ画像処理部
- 2 5 0 4 画像メモリー
- 2 5 0 5 メモリー制御部
- 2 5 0 6 データ制御部
- 2 5 0 7 画像圧縮伸張部
- 2 5 0 9 網制御装置
- 3 2 0 0 プロセッサ
- 3 2 0 2 レジスター
- 3 2 0 3 実行ユニット
- 3 2 0 4 コントローラー
- 3 3 0 1 読み取りユニット
- 3 3 0 2 画像処理ユニット
- 3 3 0 3 ビデオ制御部
- 3 3 0 4 書き込みユニット
- 3 3 0 5 メモリー制御ユニット

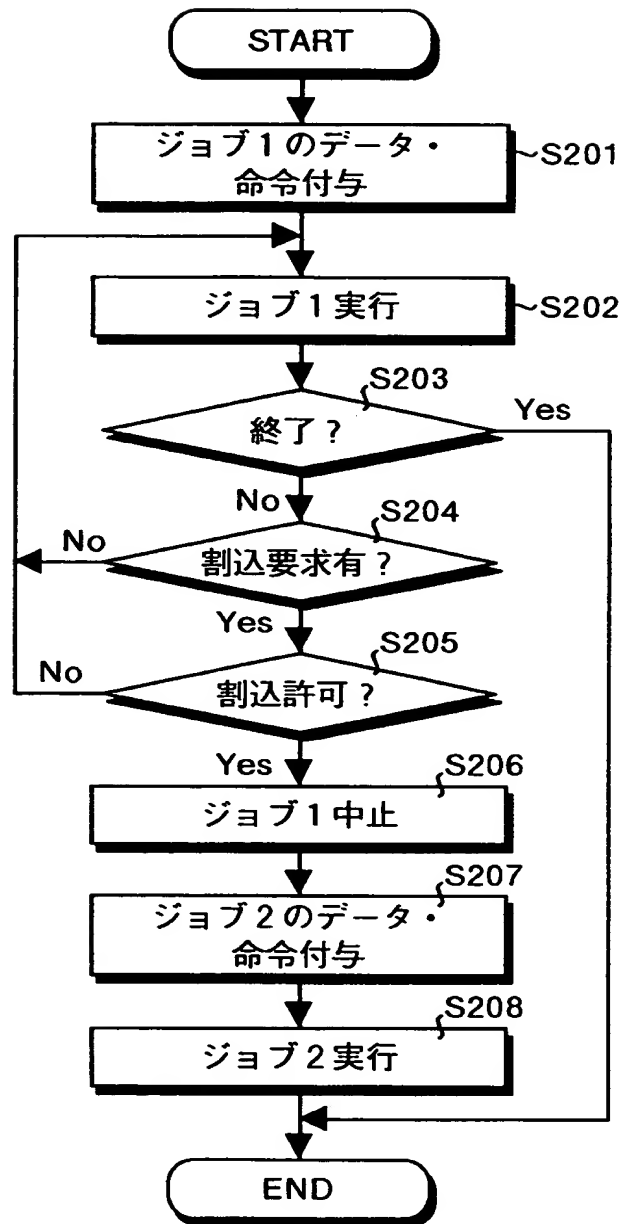
- 3 3 0 6    メモリー・モジュール
- 3 3 0 7    システム・コントローラー
- 3 3 1 1    マザーボード
- 3 3 1 2    ファクシミリ制御ユニット
- 3 3 1 3    プリンター制御ユニット
- 3 3 1 4    スキャナー制御ユニット
- 3 4 0 0    SIMD型プロセッサ
- 3 4 0 2    レジスター
- 3 4 0 3    実行ユニット
- 3 4 0 4    コントローラー
  - A    アキュムレータ
  - F    テンポラリー・レジスター
  - M    ローカルメモリー
  - R    データレジスター

【書類名】 図面

【図 1】

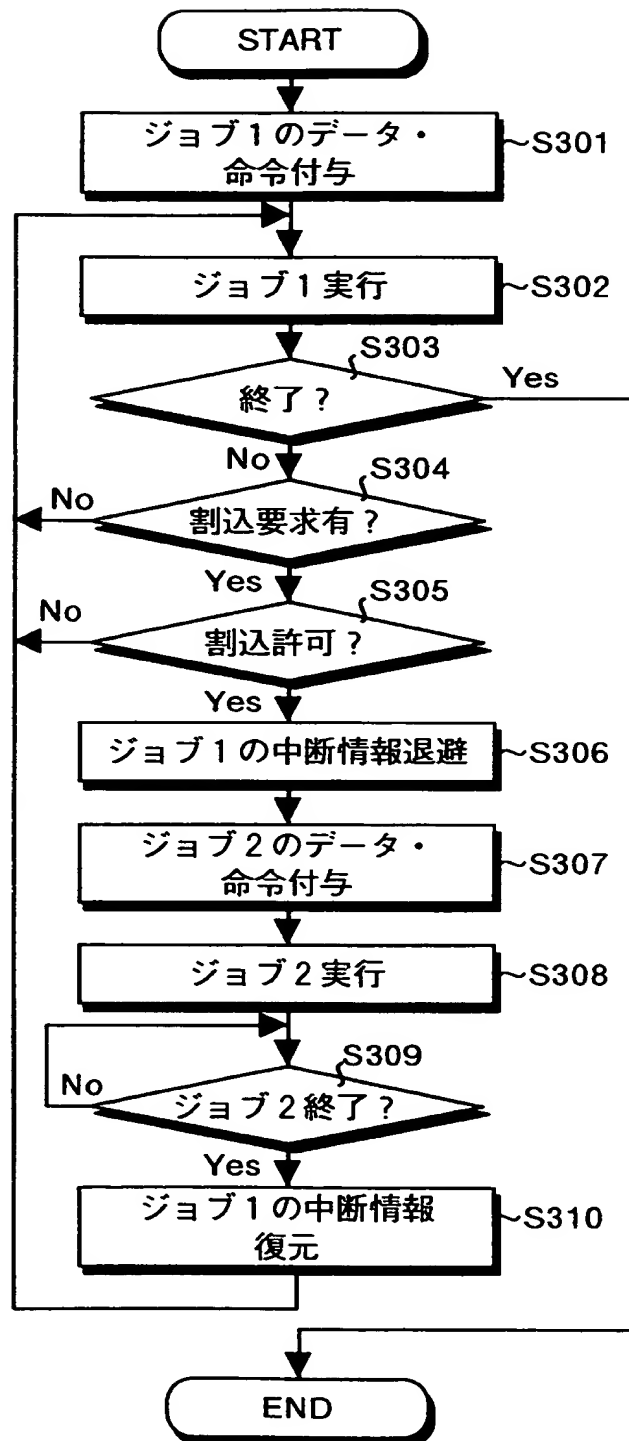


【図 2】

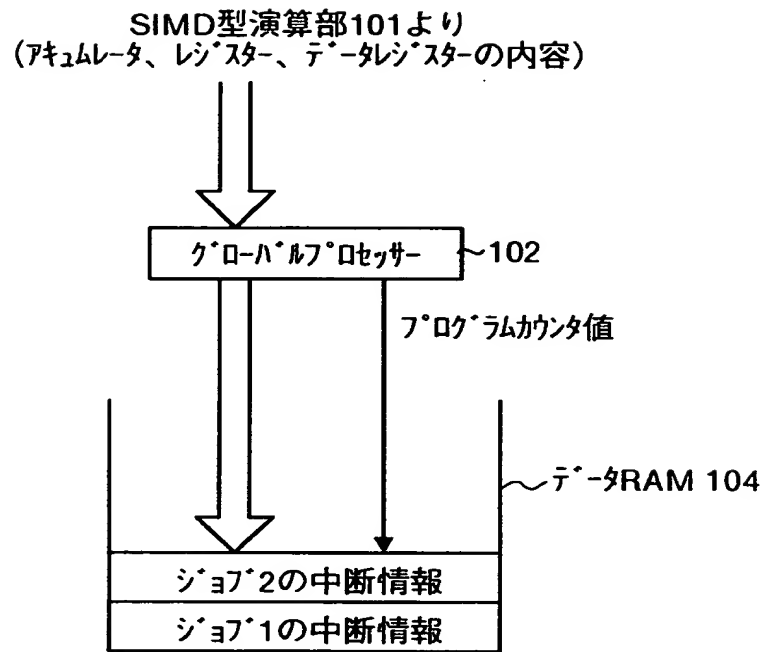




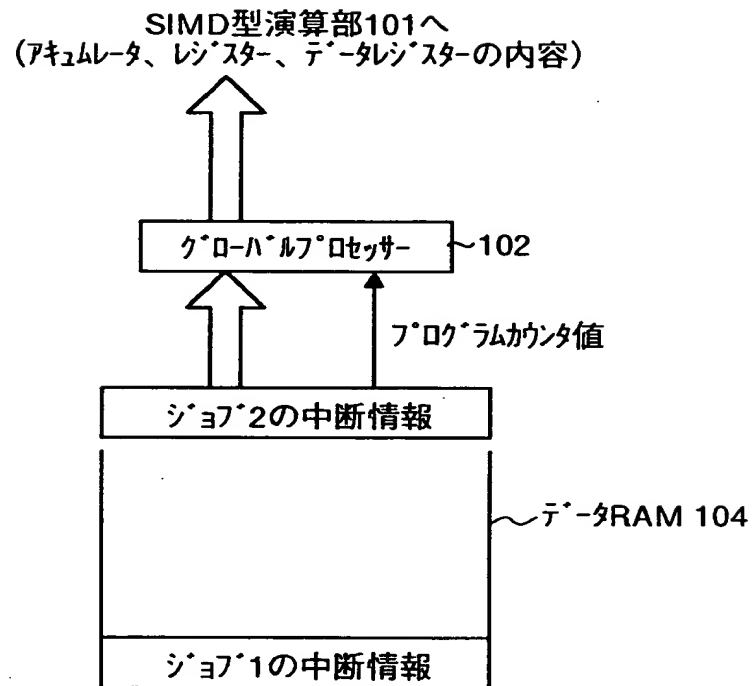
【図 3】



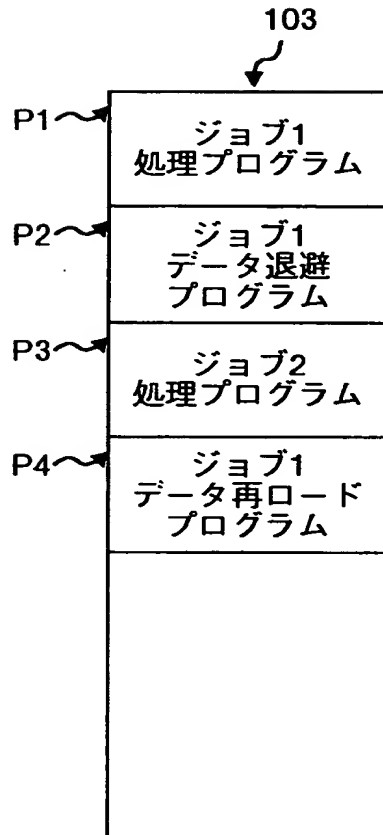
【図 4】



【図 5】

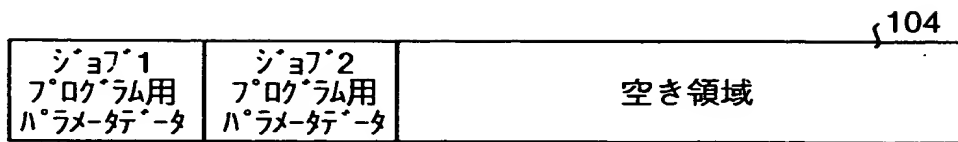


【図 6】

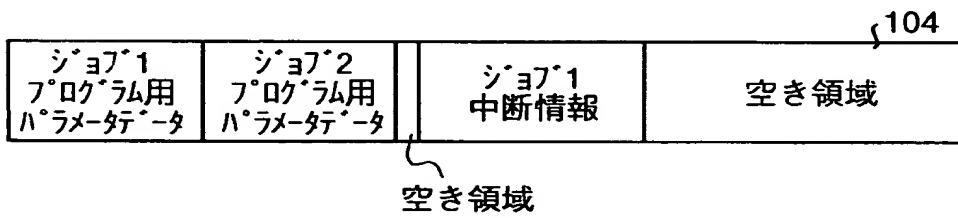


【図 7】

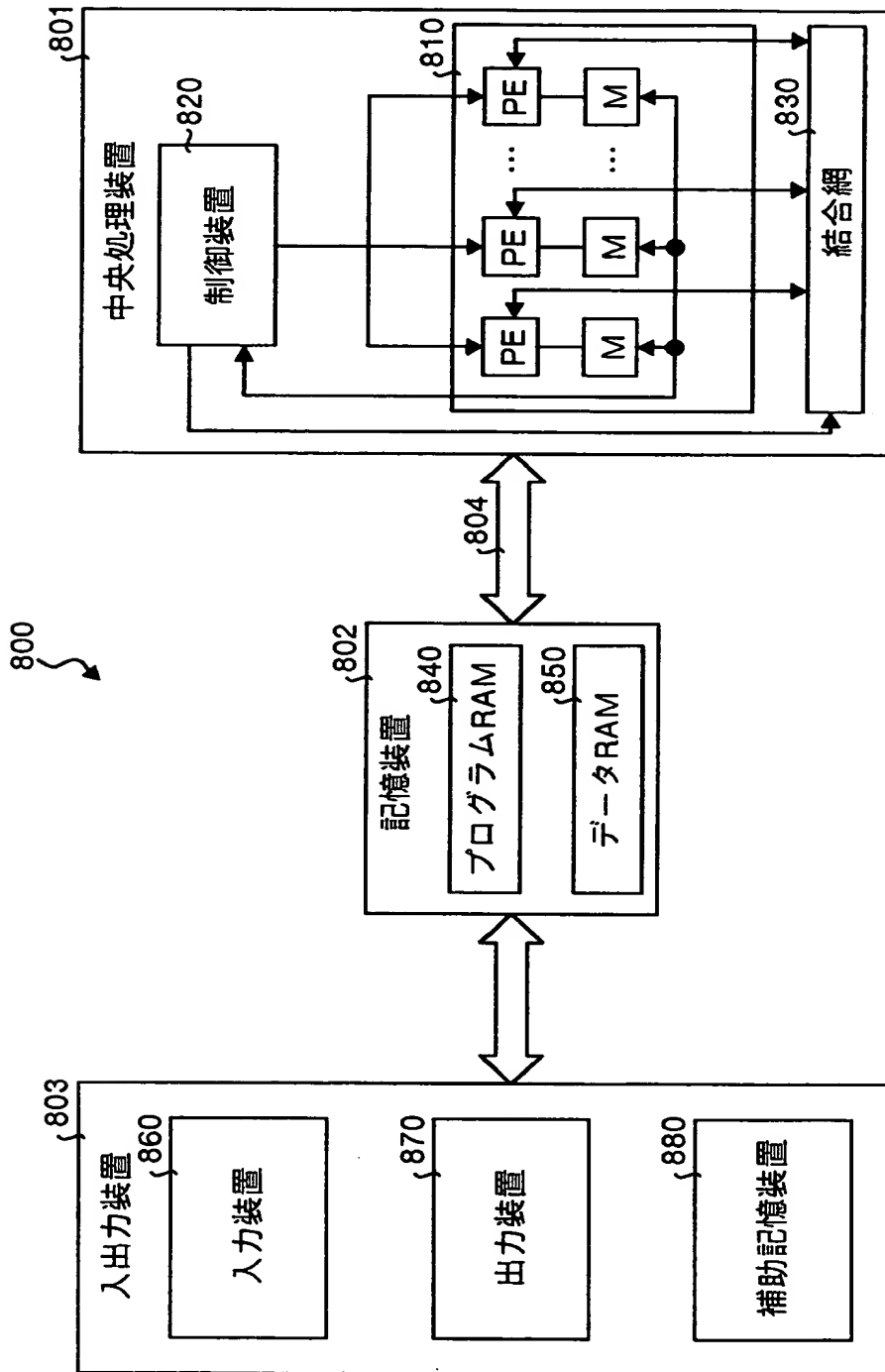
(a)



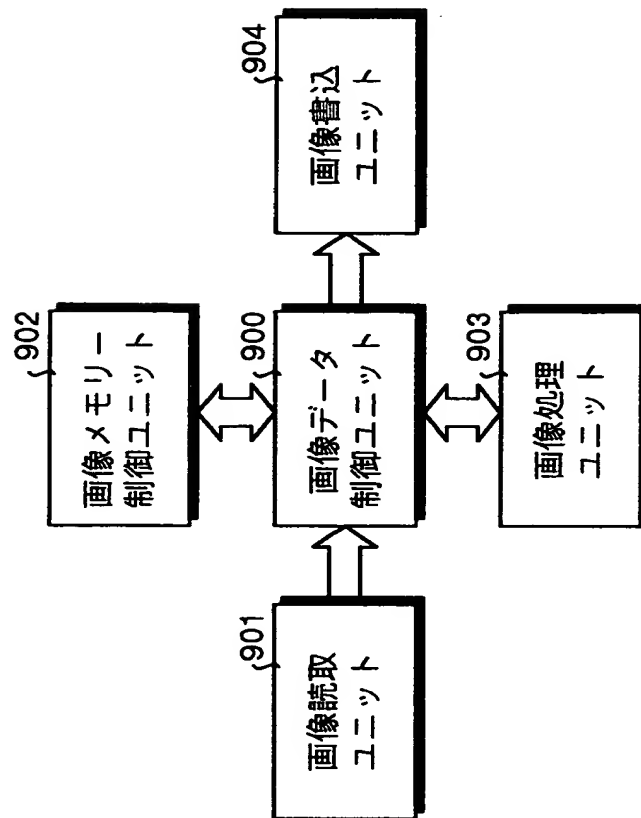
(b)



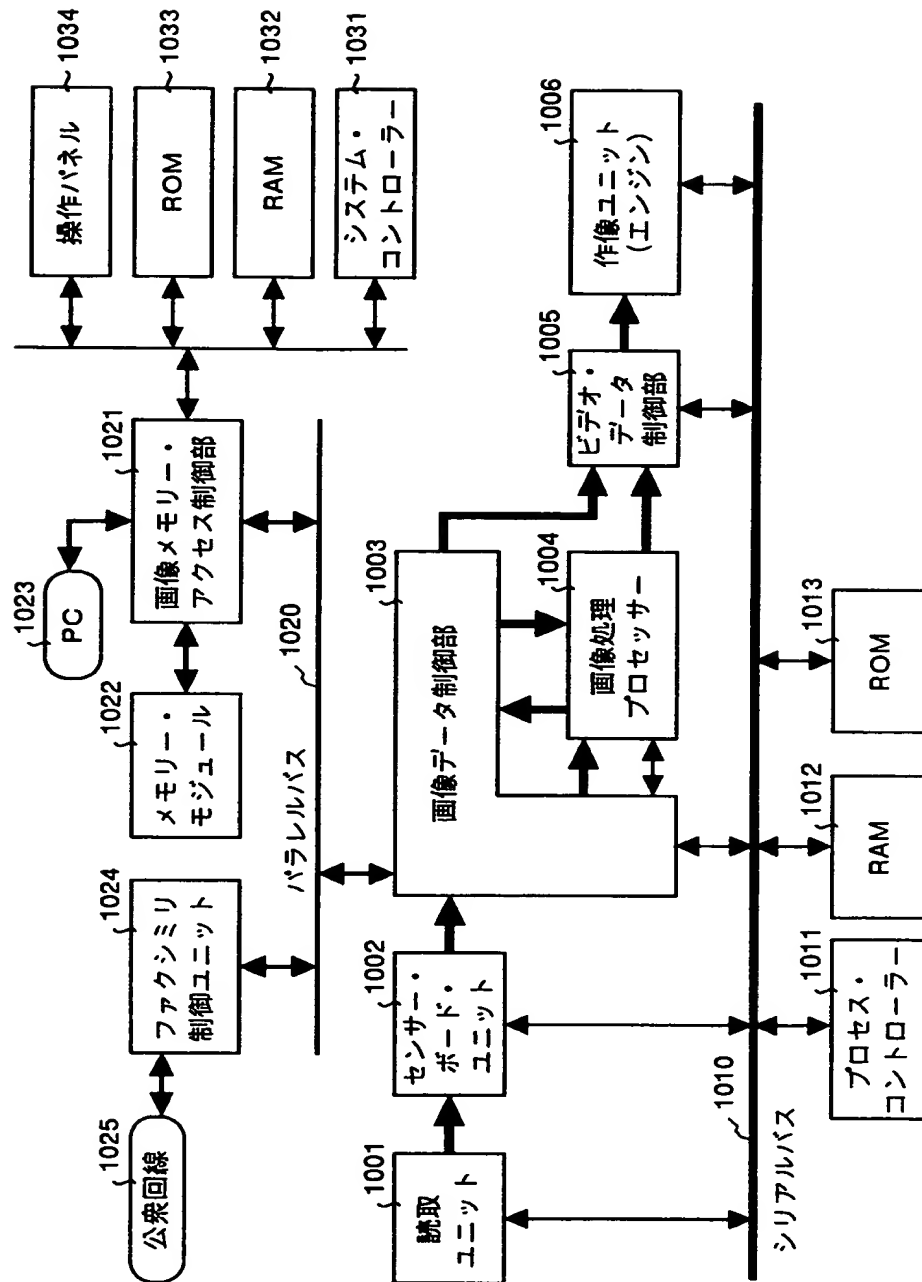
【図 8】



【図9】

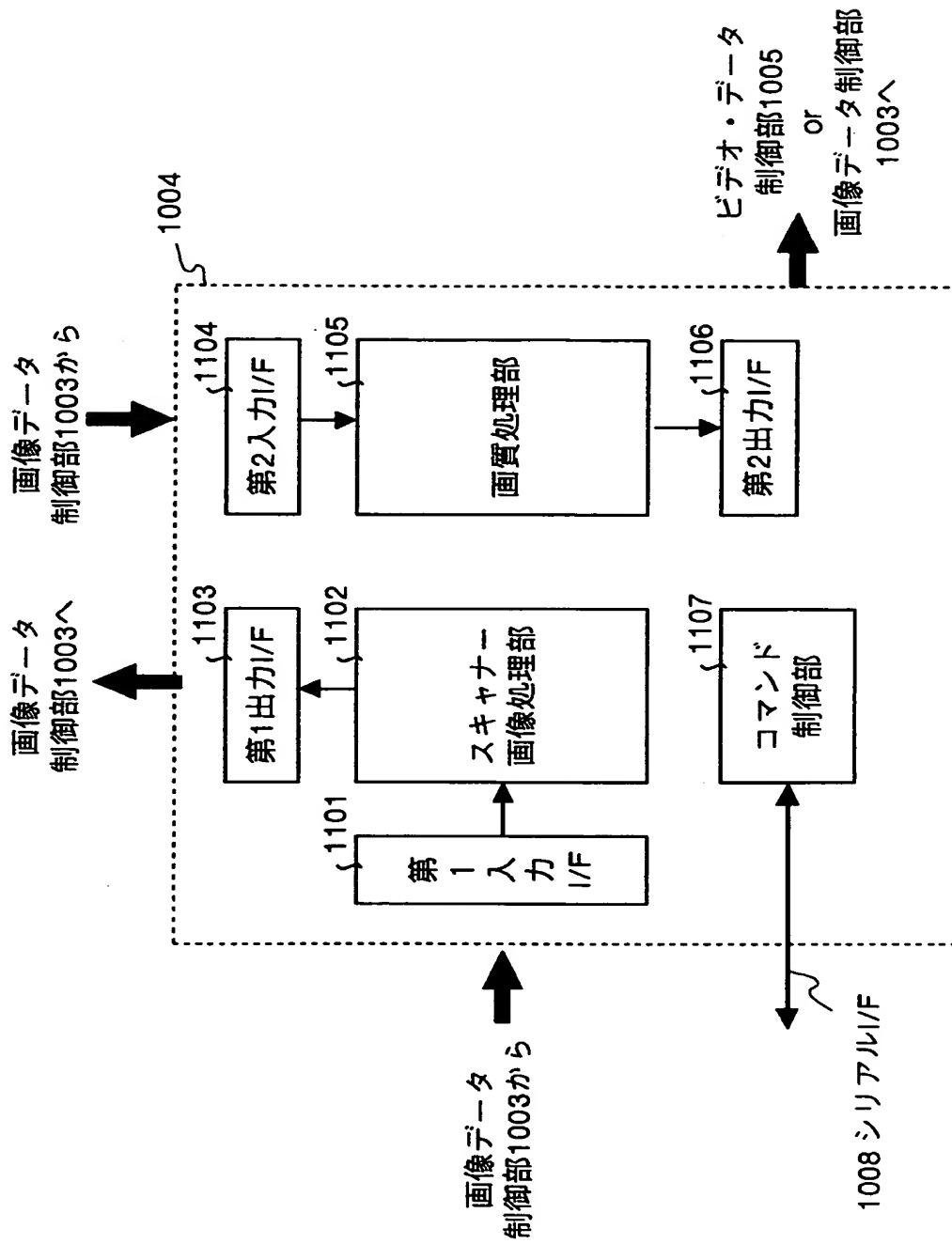


【図 10】

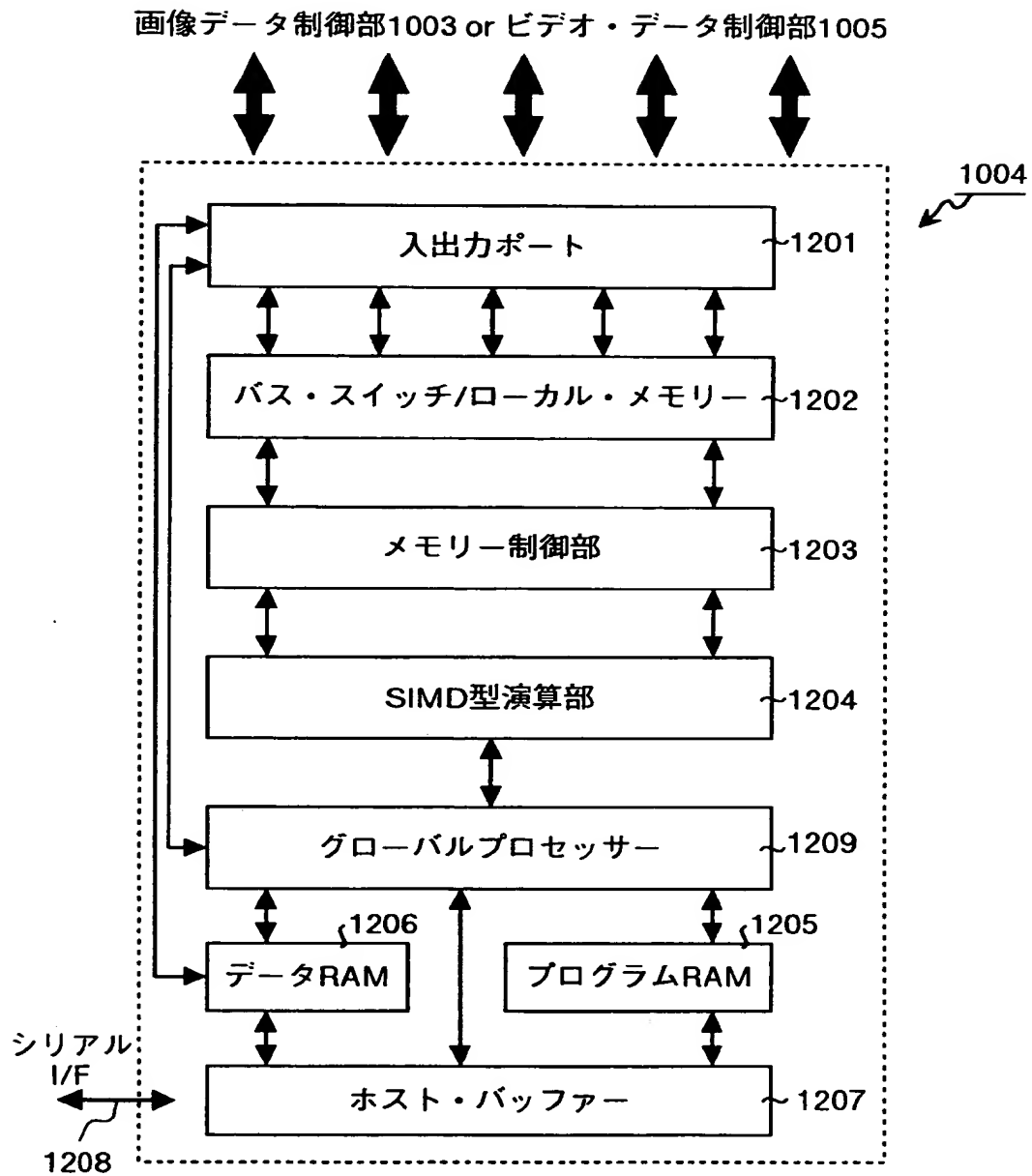




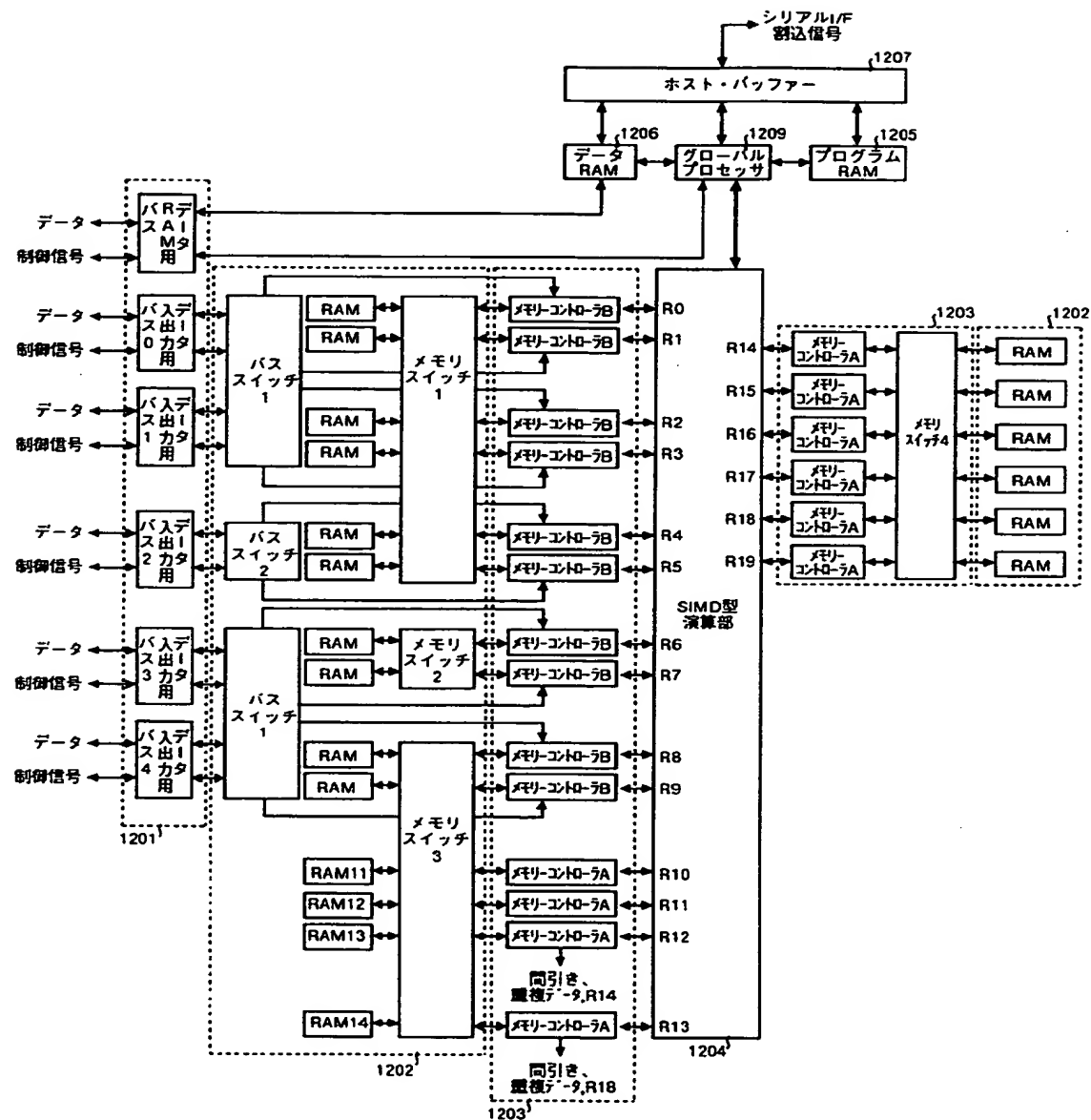
【図 11】



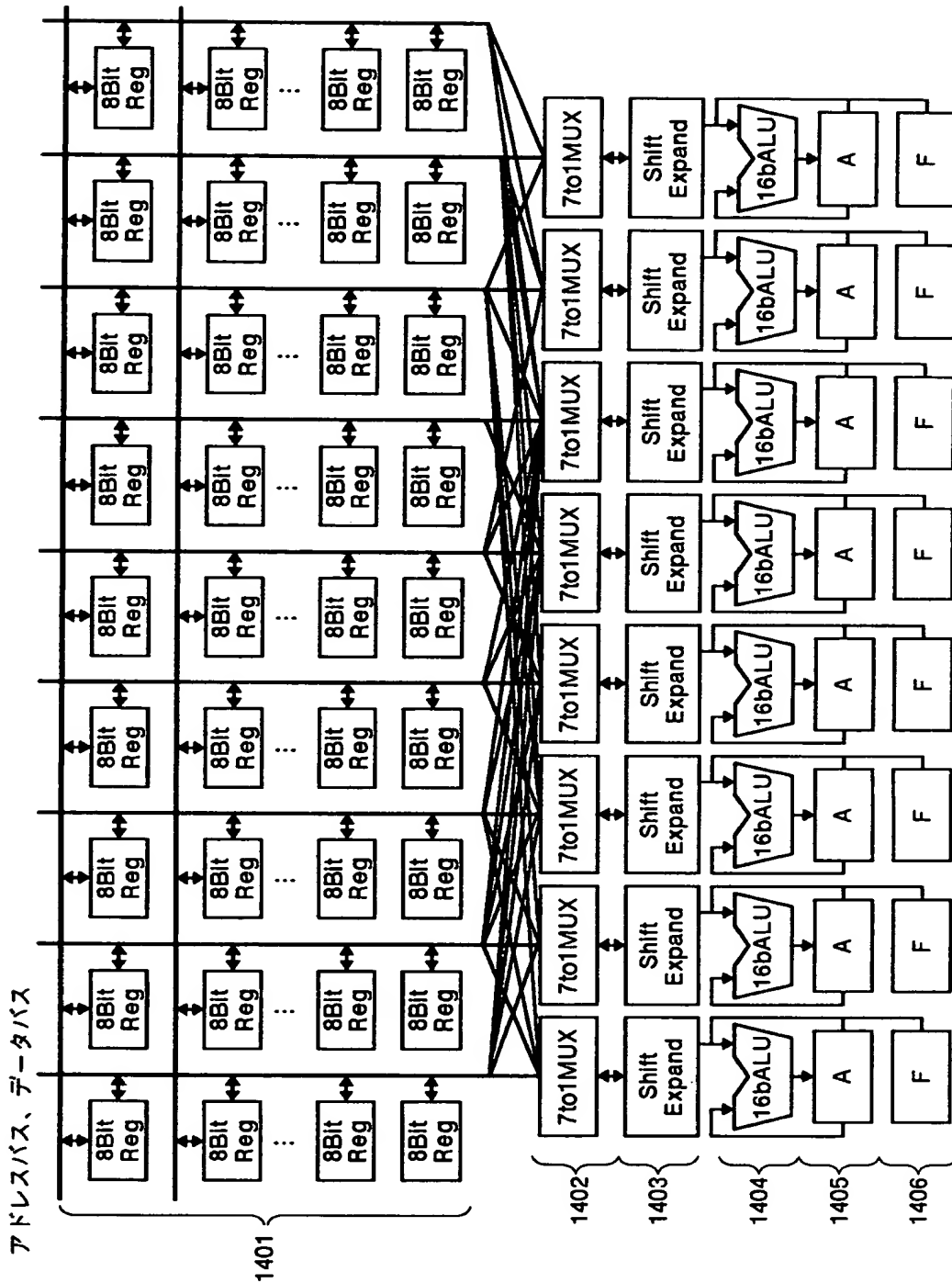
【図 1 2】



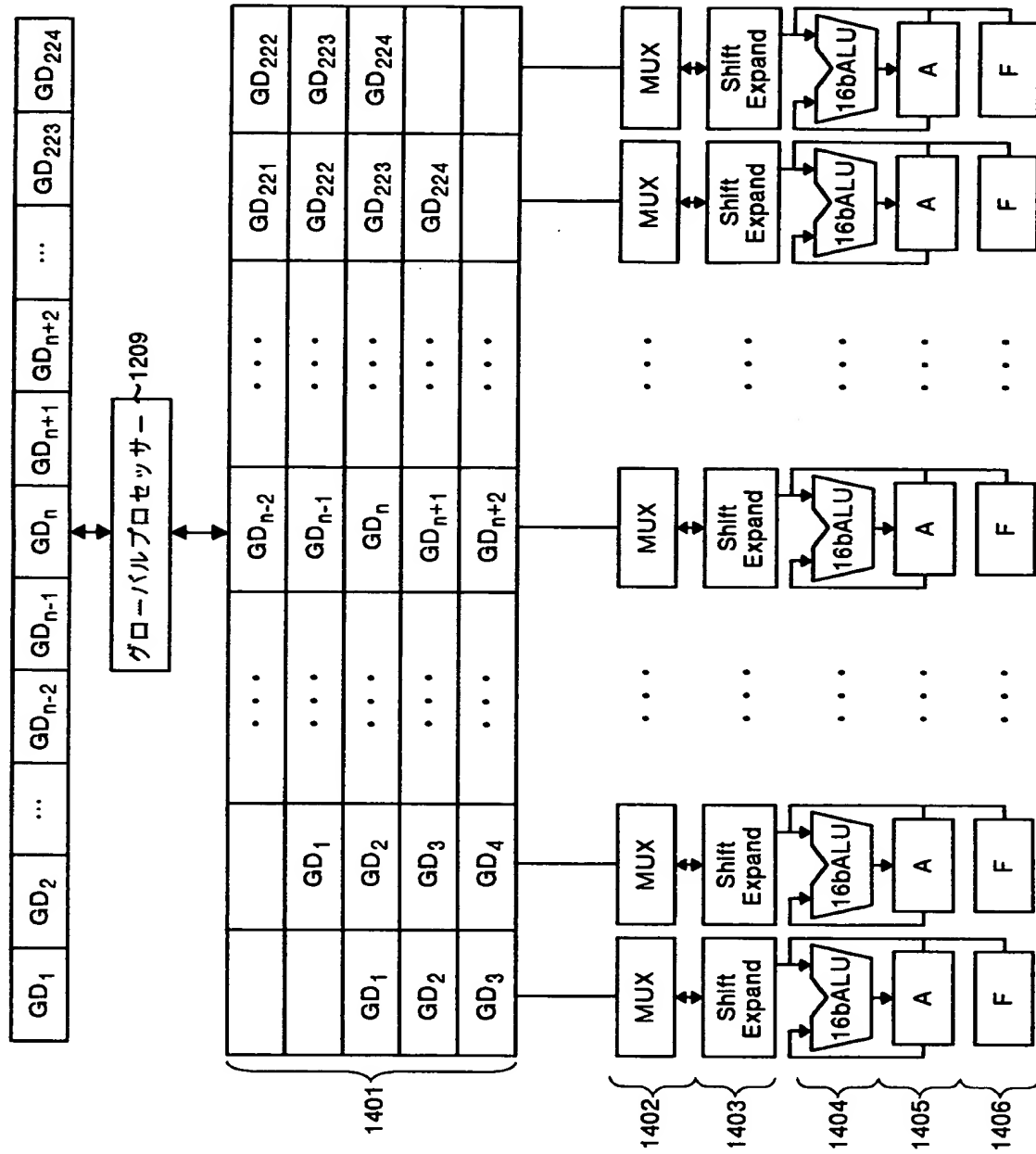
【図 13】



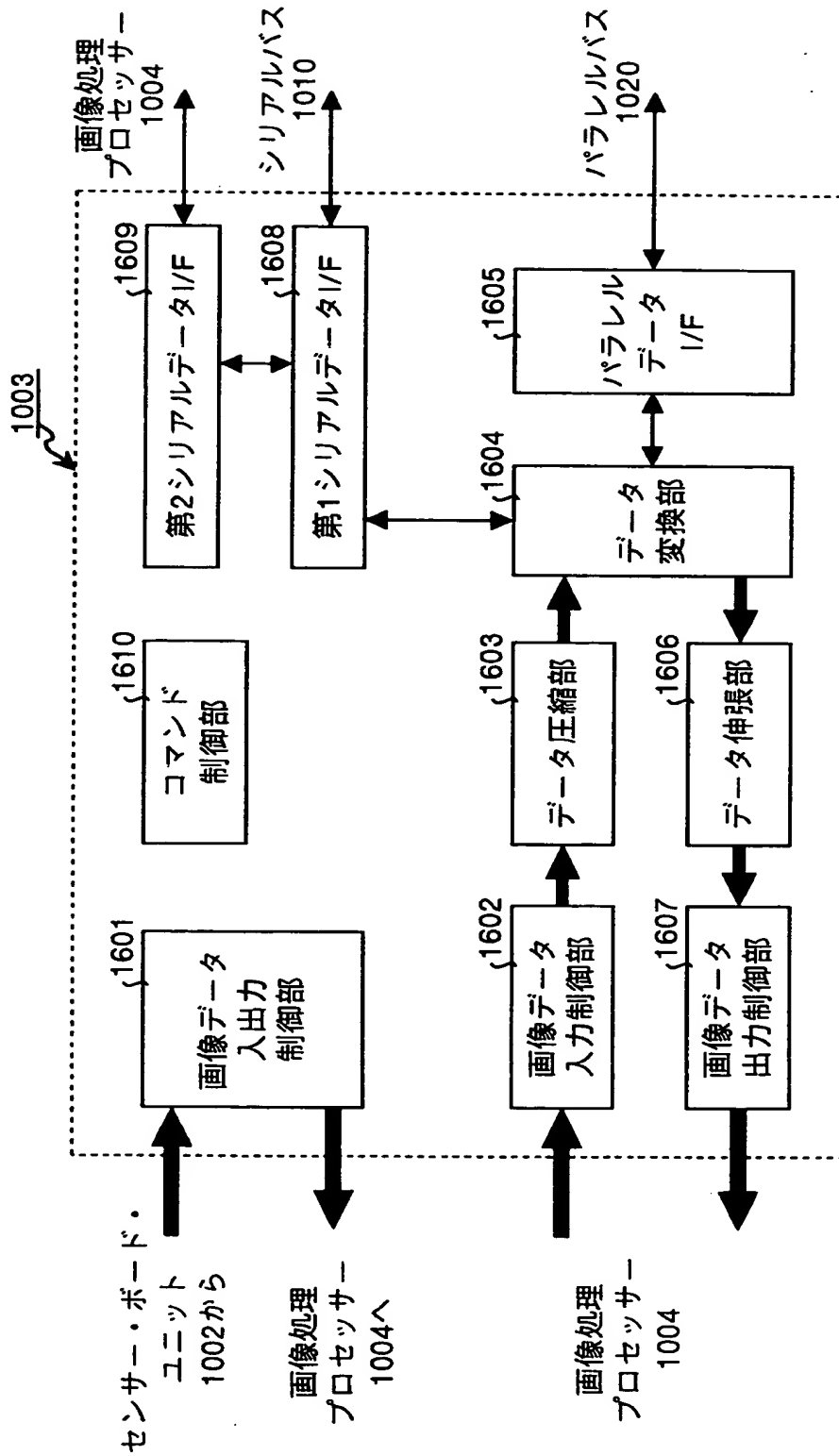
【図 14】



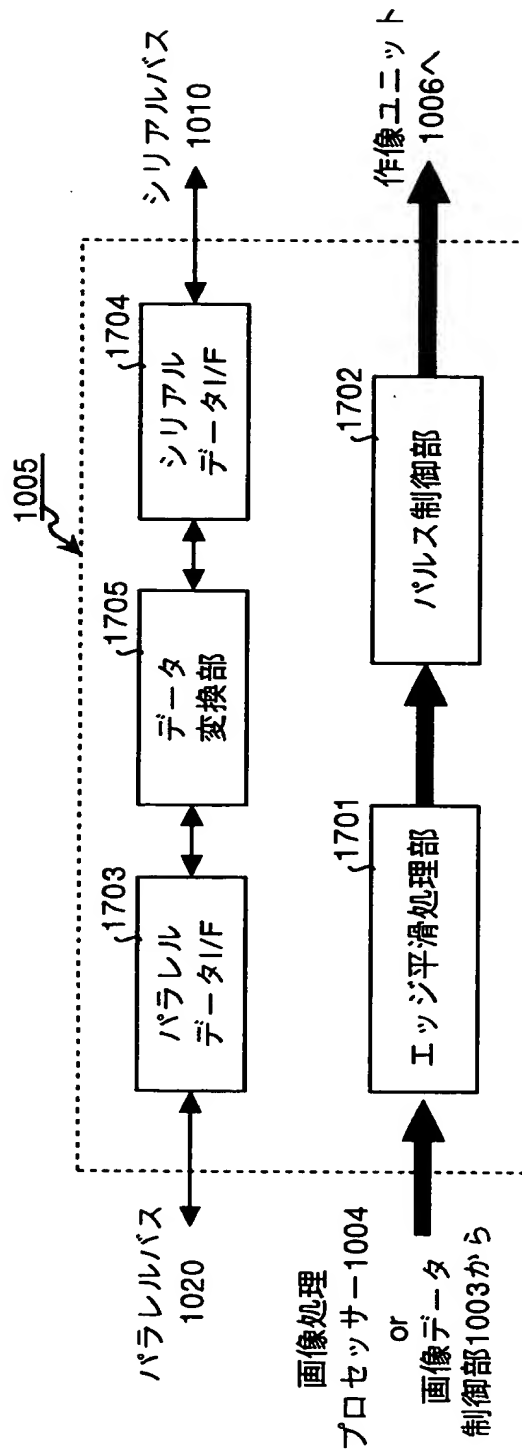
【図 15】



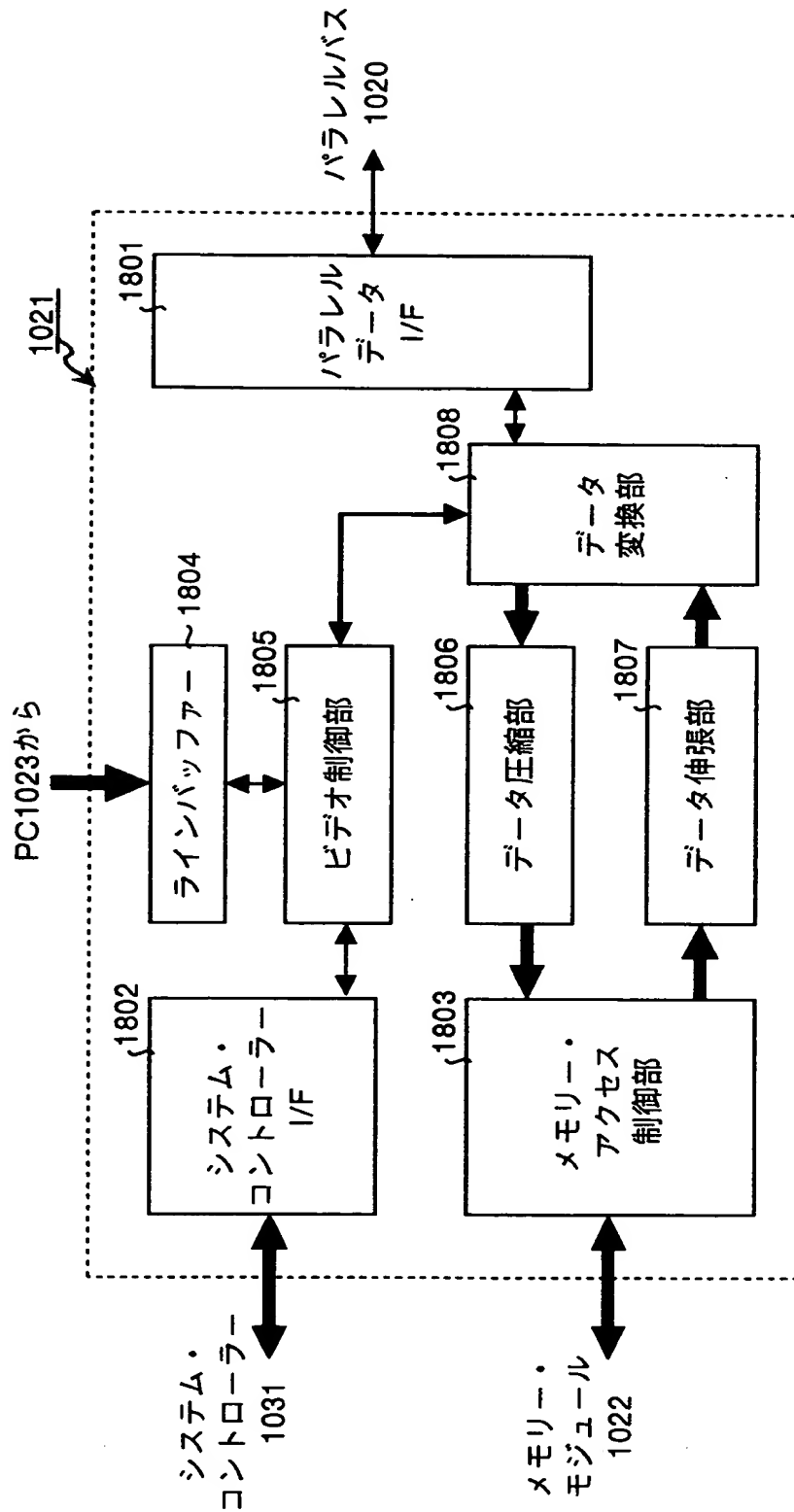
【図 16】



【図 17】

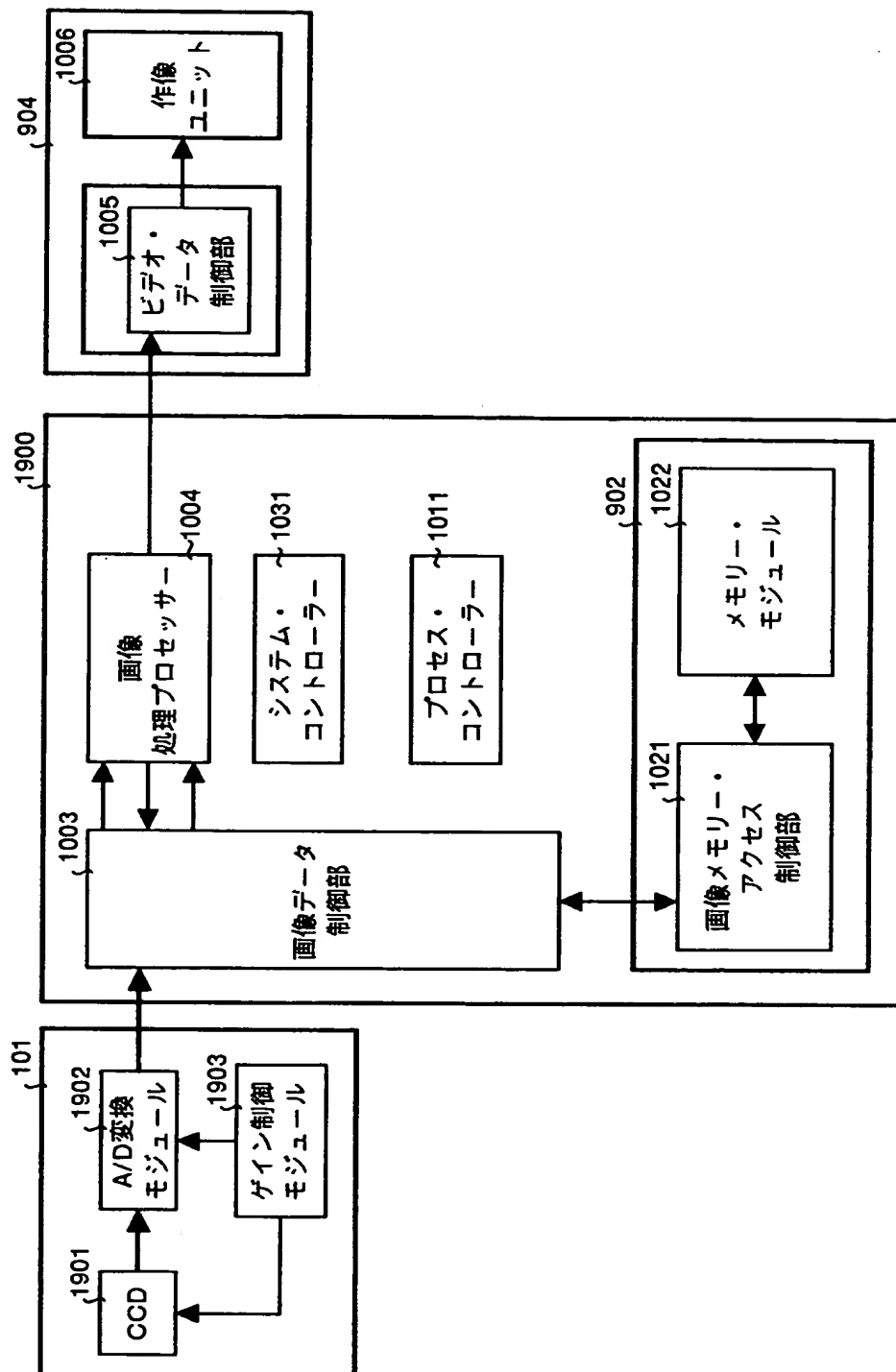


【図 18】





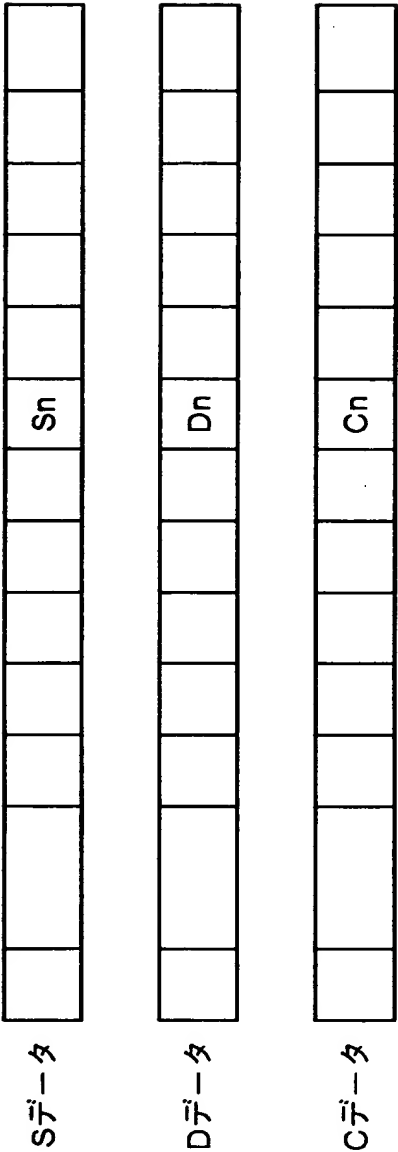
【図19】



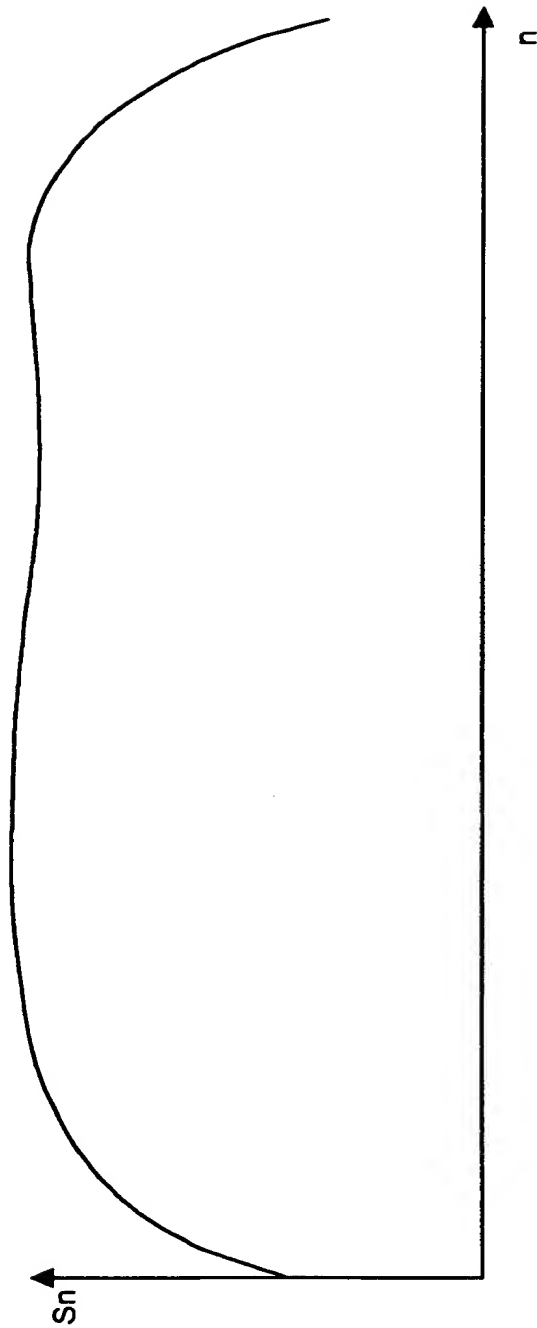
【図 2 0】

	j-2	j-1	j列	j+1	j+2
i-2	A	B	C	D	E
i-1	F	G	H	I	J
i行	K	L	M	N	O
i+1	P	Q	R	S	T
i+2	U	V	W	X	Y

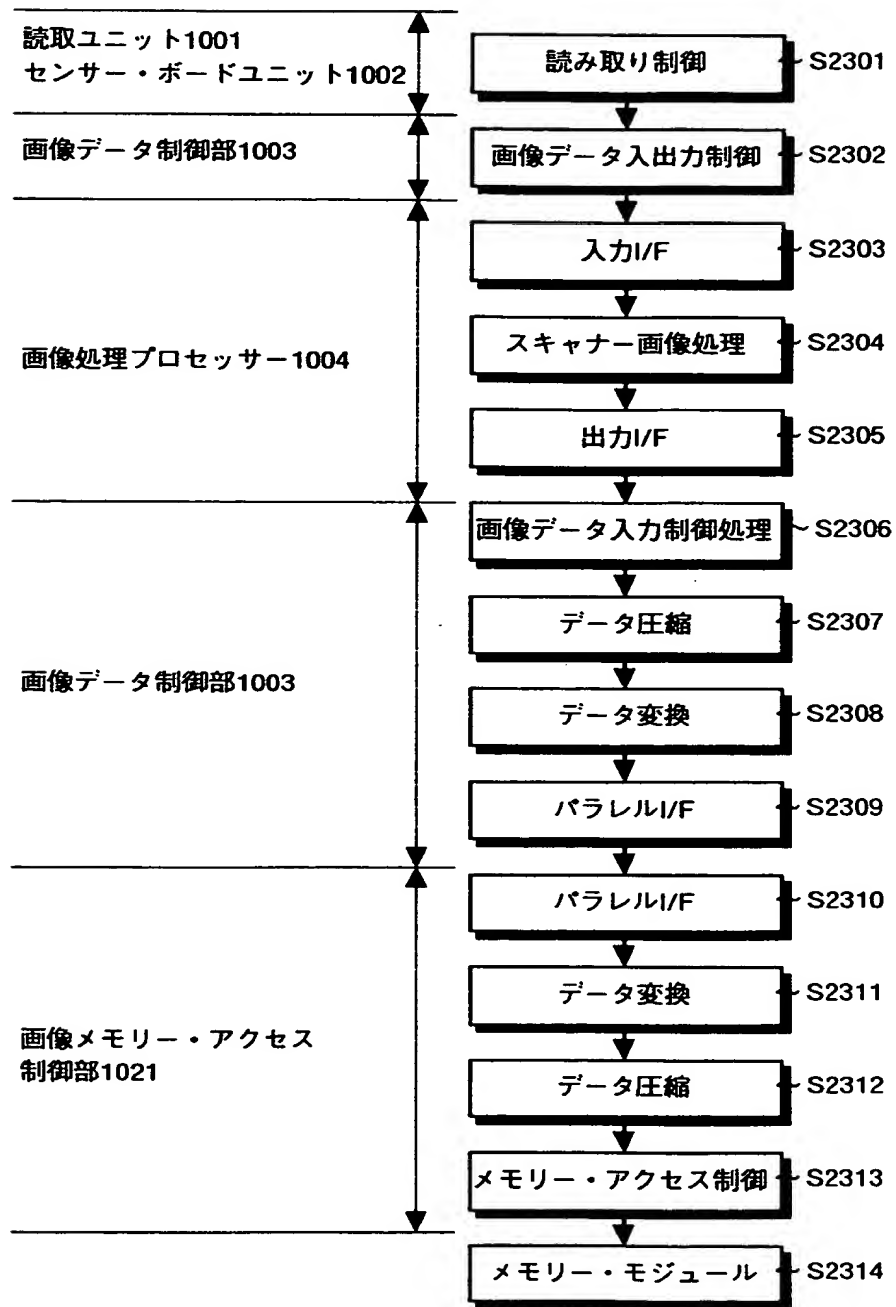
【図 2 1】



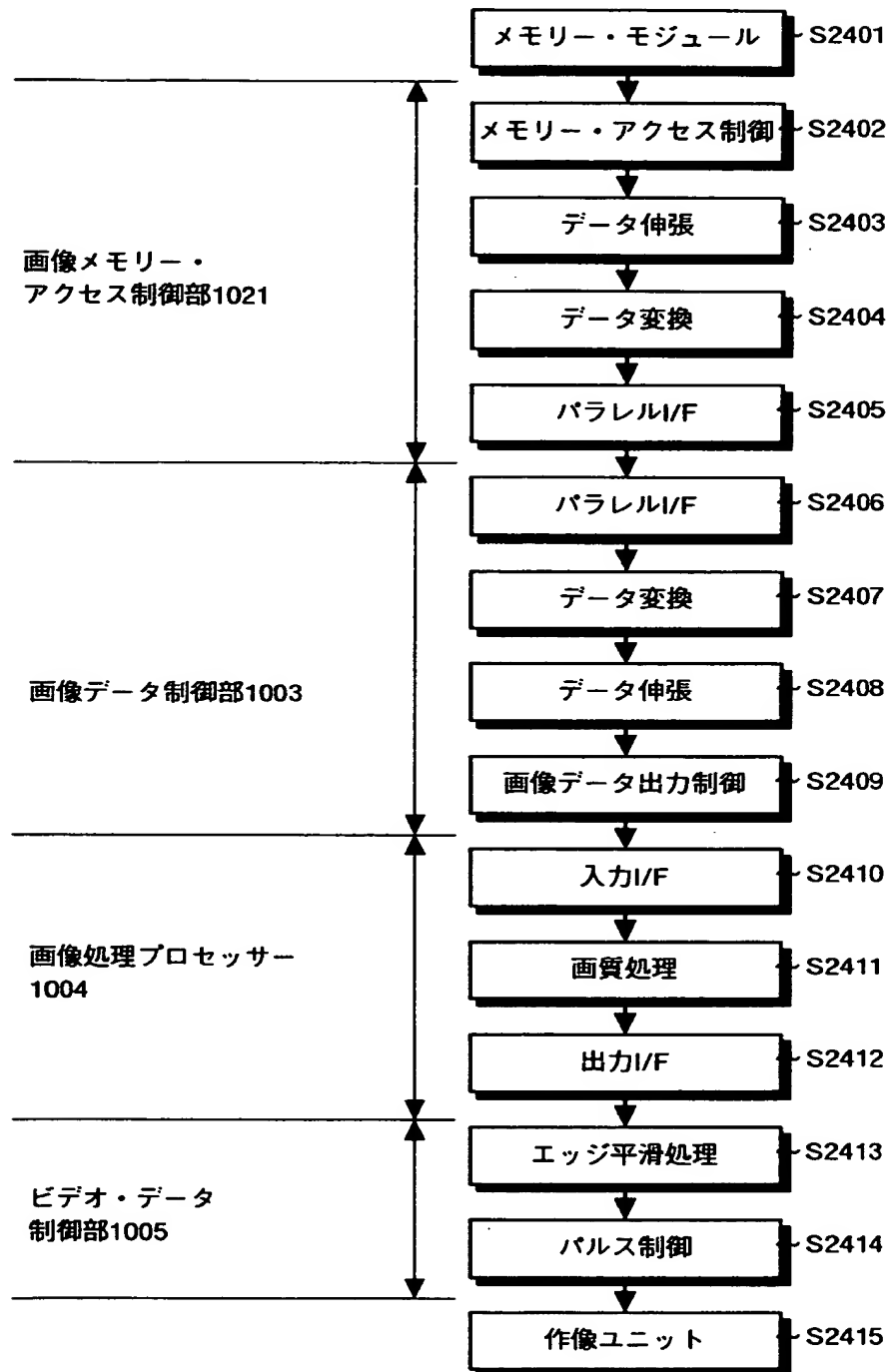
【図 2 2】



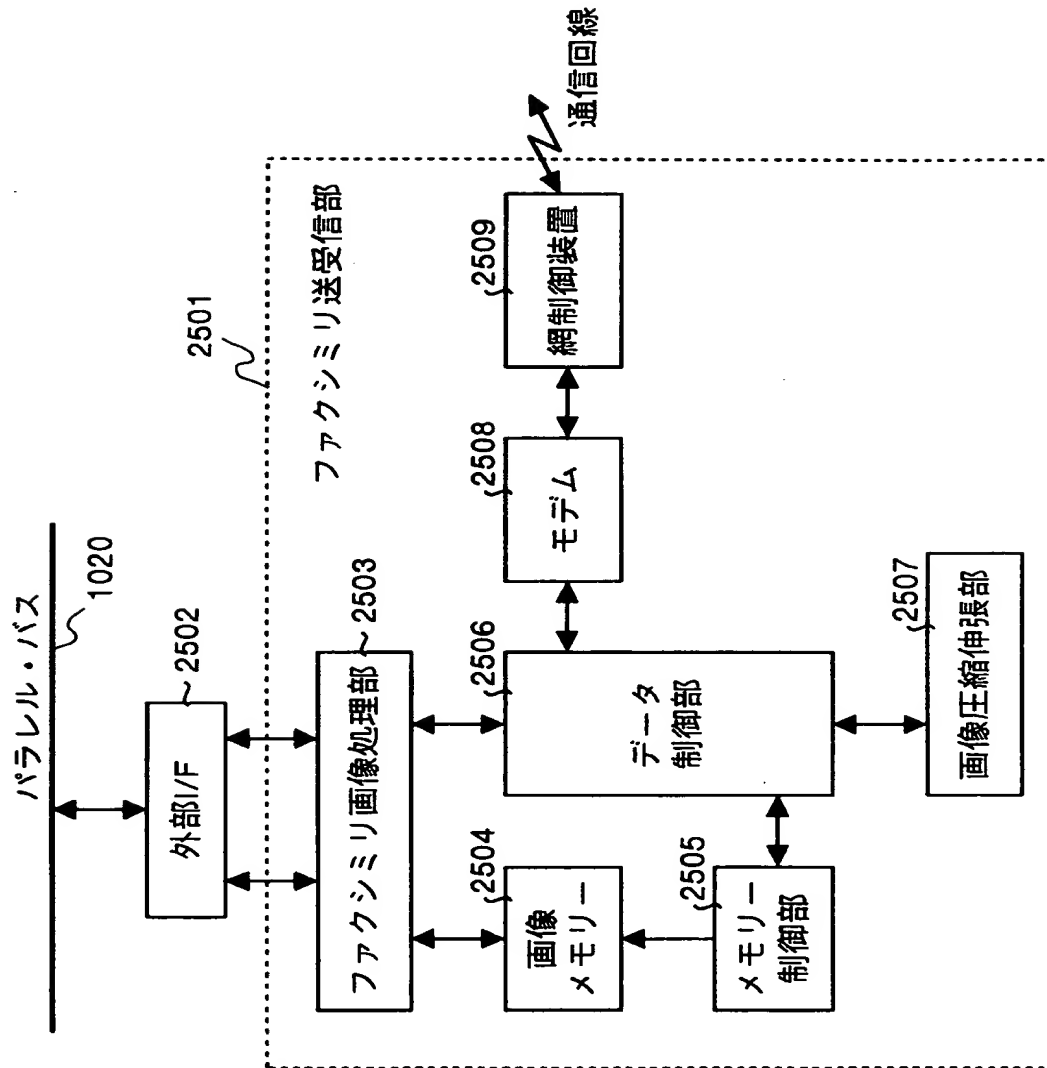
【図 2 3】



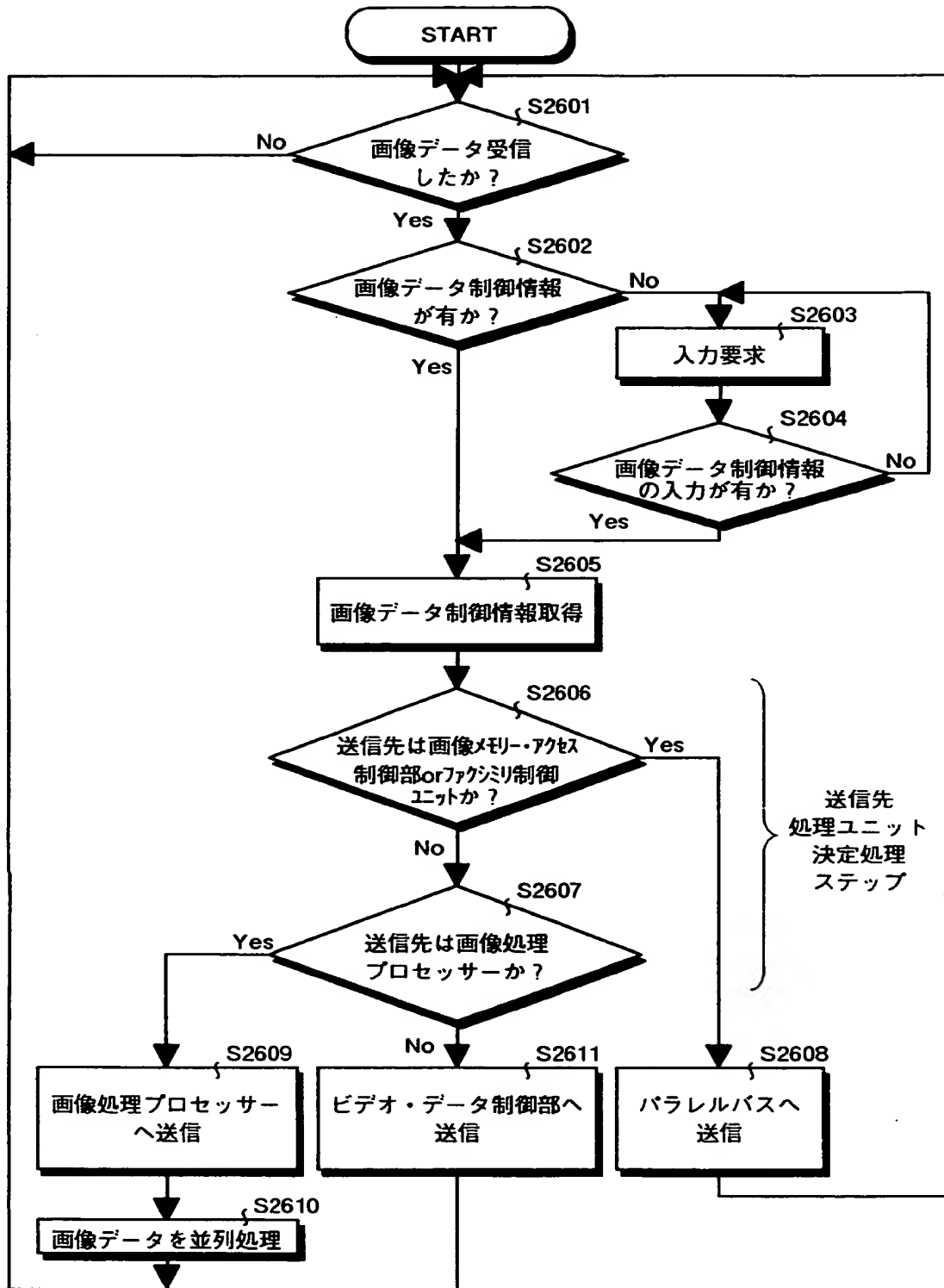
【図 24】



【図 25】

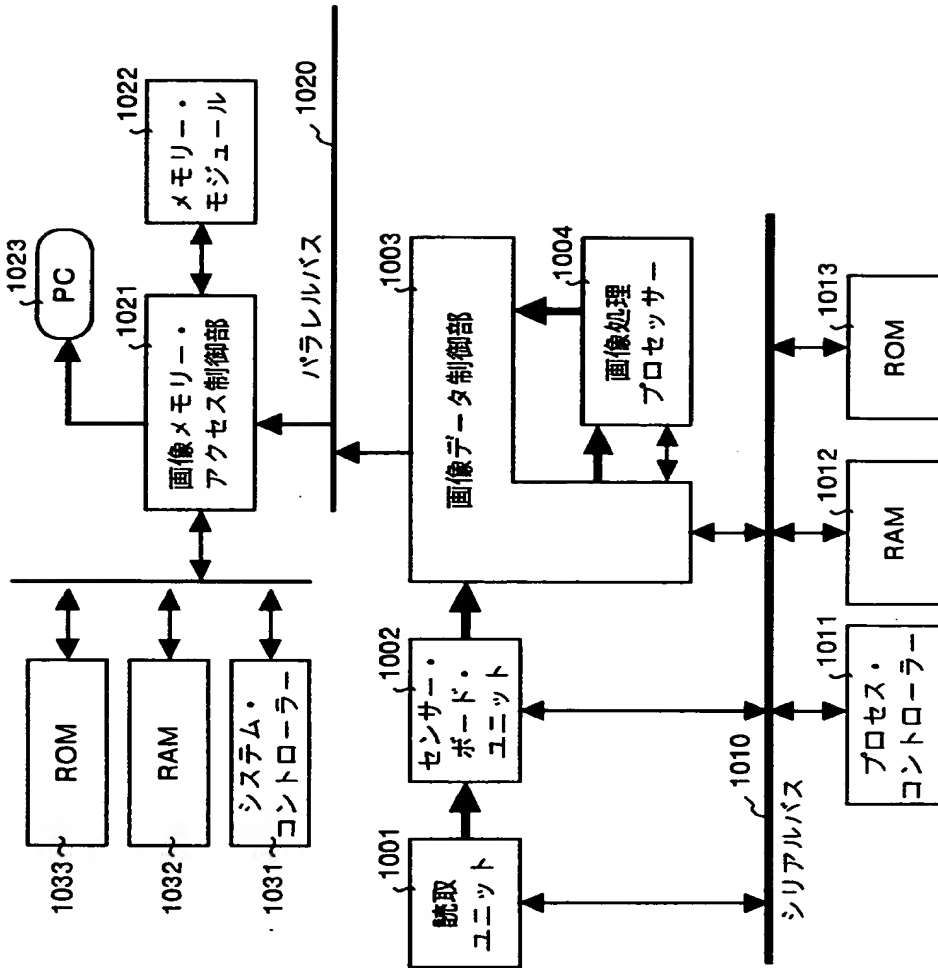


【図 26】

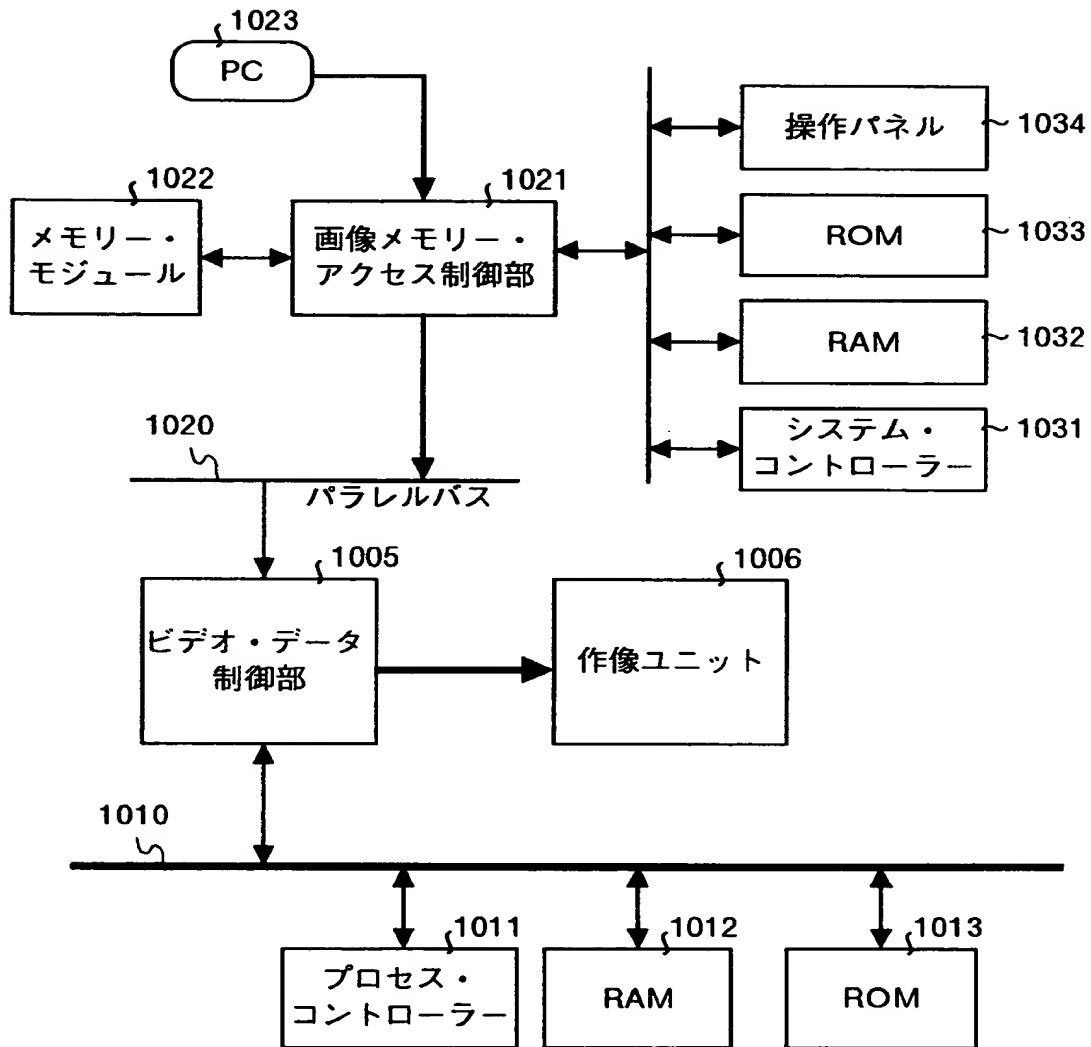




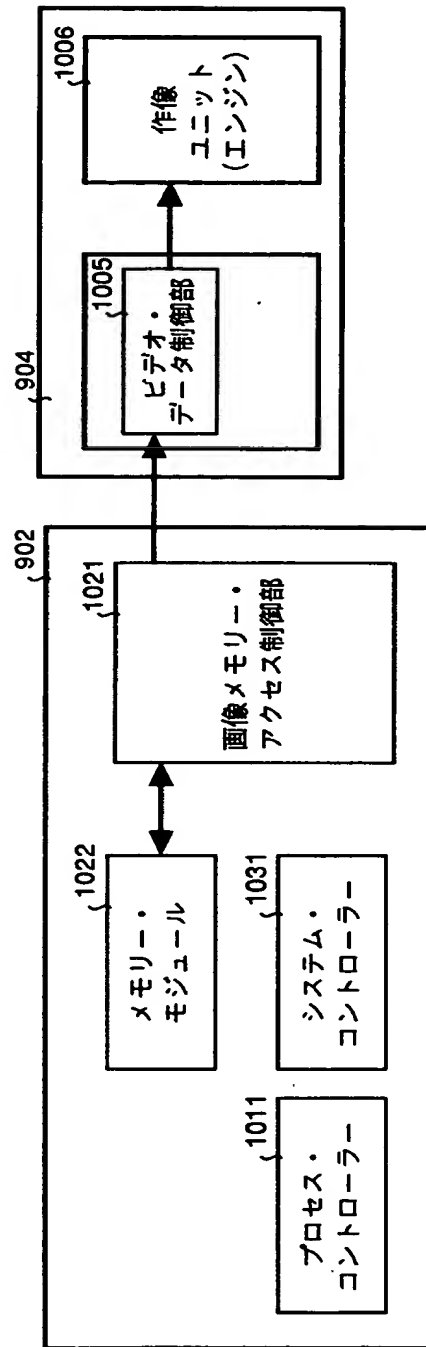
【図27】



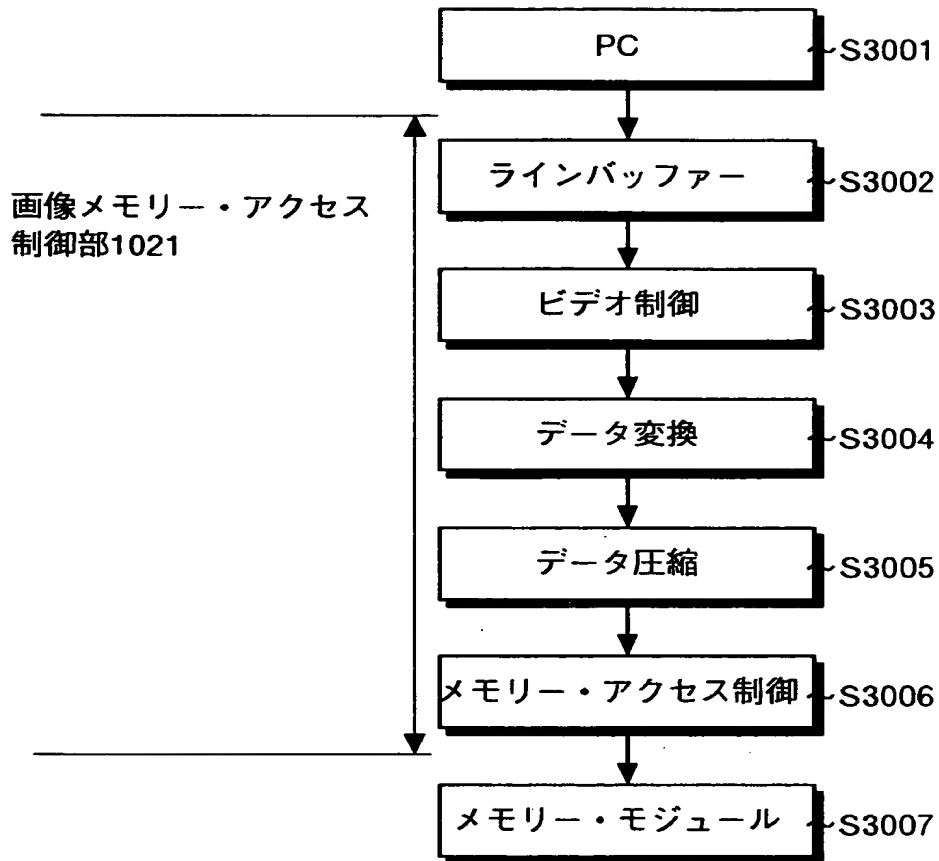
【図 2 8】



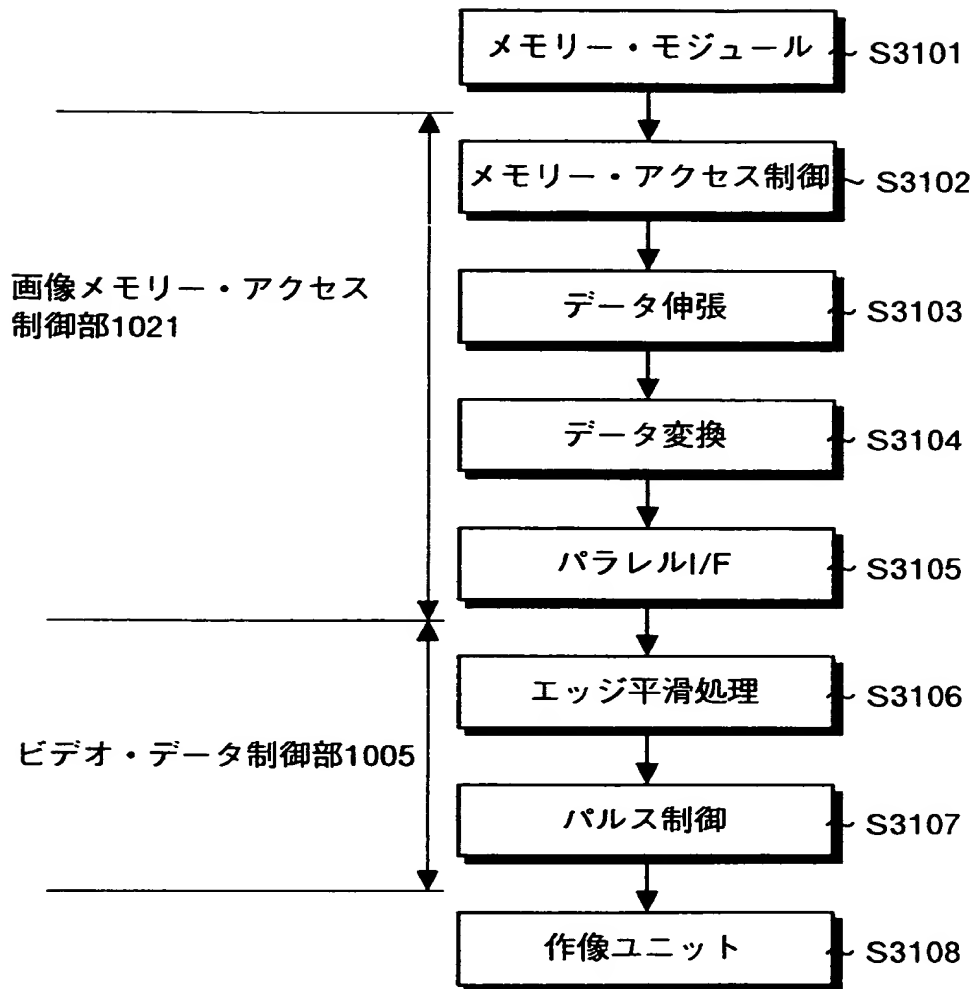
【図 29】



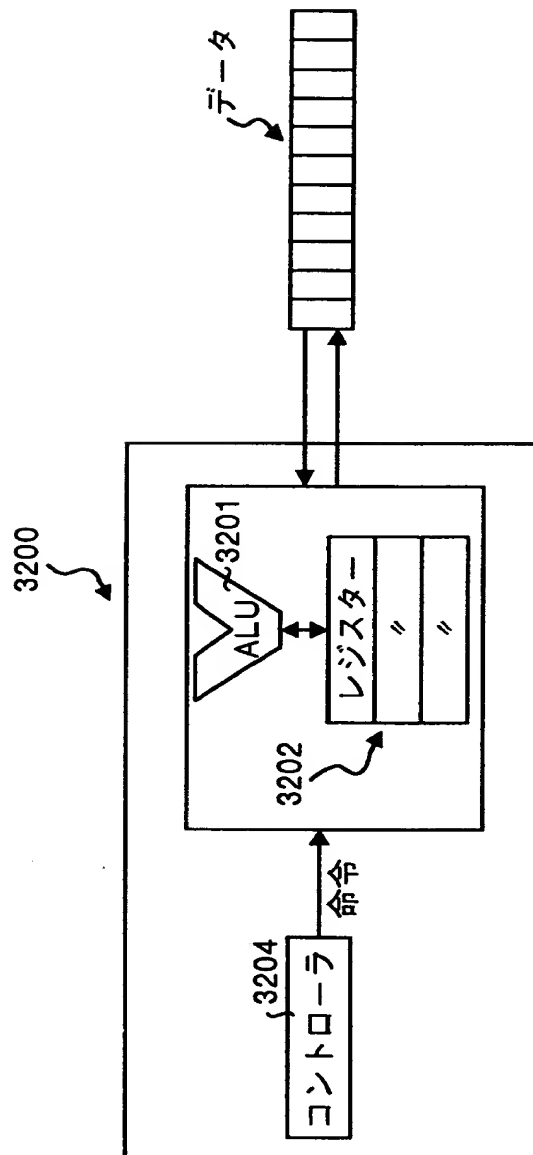
【図 3 0】



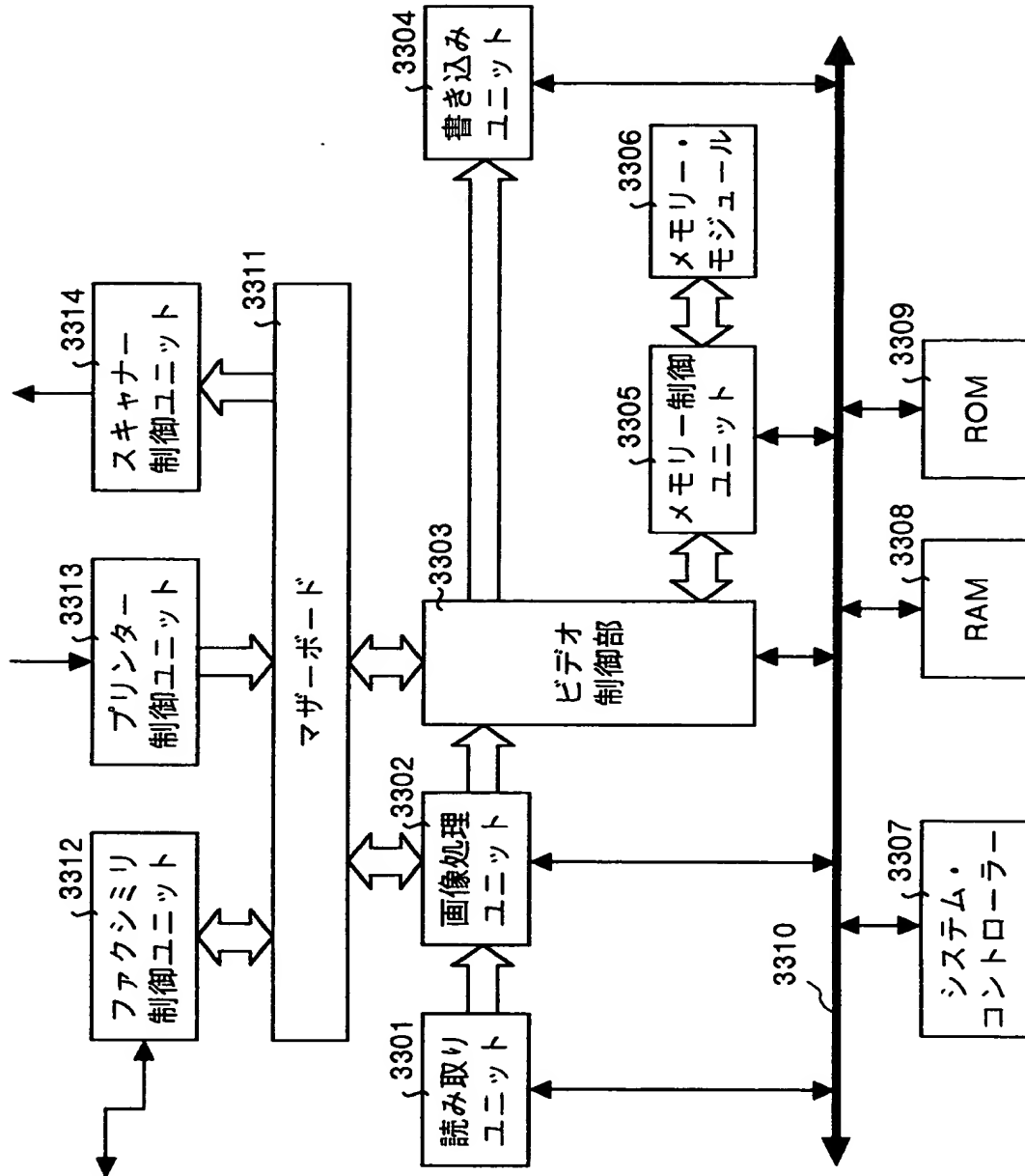
【図31】



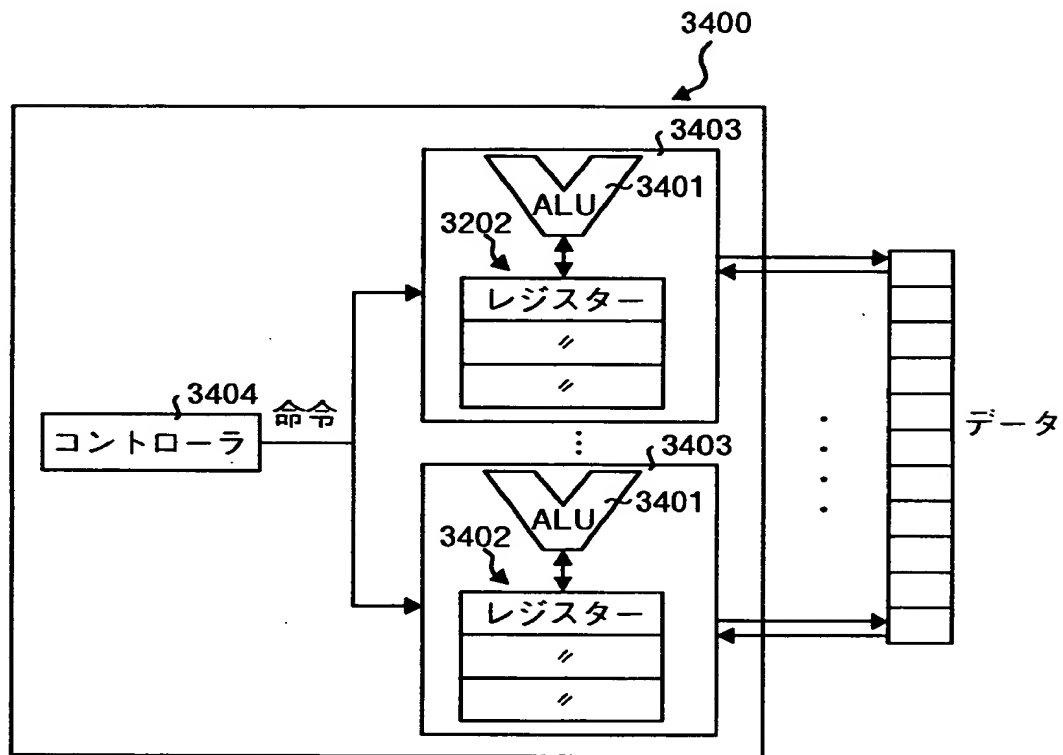
【図 3 2】



【図 33】



【図 3 4】





【書類名】 要約書

【要約】

【課題】 画像データを含むデータの並列処理を効率的におこなうこと。

【解決手段】 SIMD型プロセッサ１００は、与えられたデータに対して演算処理を施すALU１０５を複数用いて並列処理をおこなうSIMD型演算部１０１と、レジスタ１０６とデータレジスタ群１０７に対して演算処理されるべきデータを付与し、ALU１０５それぞれに対して同一の命令を付与するグローバルプロセッサ１０２とを備え、グローバルプロセッサ１０２は割込要求を入力してSIMD型演算部１０１で他の並列処理である割込処理をおこなうべきか否かを判断し、必要に応じて現在の並列処理を中断し、割込処理において演算処理されるべきデータをレジスタ１０６とデータレジスタ群１０７へ付与し、割込処理に必要な同一の命令をALU１０５それぞれに付与する。

【選択図】 図１

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都大田区中馬込1丁目3番6号  
氏 名 株式会社リコー